

## マルチポート連想メモリを用いた効果的な並列符号化処理について

熊木武志 石崎雅勝 田上正治 今井雄太 小出哲士 マタウシュ ハンス ユルゲン  
 (広島大学ナノデバイス・システム研究センター 〒739-8527 東広島市鏡山 1-4-2)  
 e-mail: kumaki@sxsys.hiroshima-u.ac.jp

### 1 まえがき

近年、光ファイバーの普及やモバイル機器の性能向上によってユーザが大容量のマルチメディアデータを手軽に利用できる環境が整いつつある。そのためマルチメディアデータ処理 LSI は、各種アプリケーションをより高速に処理する能力が必要とされてきている。一般にマルチメディアデータを高速に処理するためにはテーブルルックアップ処理を高速に行うことが必須である [1]。高速化の方法で代表的なものは並列処理が挙げられるが、テーブルルックアップ処理を並列化する場合、符号化テーブルを複数用意する必要がある。しかしながら、この方法では実装面積、及び消費電力が大きくなり、テーブルデータ間のコヒーレンシや同期等の問題も無視することはできない。以上の問題を解決するため、我々は従来の CAM に比較ポートを複数実装させたマルチポート CAM を新たに開発し、マルチプル・シングルサーチモード、カウンタ値設定モード、及びカウンタ結合モードという工夫を凝らすことで従来の DSP と比較して単位面積あたりの性能が約 3.8 倍の向上を実現してきた。本論文では、更なるマルチポートの CAM 性能向上を図るために、消費電力の削減に着目し、新たにカテゴリサスペンドモードを考案しその効果を検証した。検証の結果、これまでのマルチポート CAM と比較して、約 90%の消費電力削減見込みを得ることができた。

### 2 テーブルルックアップ処理用マルチポート CAM

マルチメディアデータ処理におけるボトルネックとなっていたテーブルルックアップ処理は、並列化が困難であることをこれまで述べたが、マルチポート CAM を利用することで効果的な変換処理の実現が期待できる。図 1 に、ワード長  $d$  ビット、ワード数  $2^a$ 、及び  $p$  組の入出力ポートを持つマルチポート CAM である FMCAM (Flexible Multi-ported CAM) [2] のブロック図を示す。FMCAM は、BPBP (Bit-Parallel Block-Parallel) 方式及び比較データのカテゴリ分けを適用することで、ポート数の増加に伴う比較器数の増加を抑えることを実現している。また、 $p$  組の入出力ポートが 1 つのコンテンツテーブルを共有しており、最大  $p$  個の比較データの一致検索処理を同時に行うことができるほか、どのポートも比較データの到着にあわせて一致検索処理を即時に開始可能である。

テーブルルックアップ処理を実装する際には、より効率的な処理を実現するために、マルチプル・シングルサーチモード、カウンタ値設定モード、及びカテゴリ結合モードの 3 方式を新規に導入してきた [3]。しかしながら、複数のポートがどのカテゴリのデータを受け取っても即時に対応できるよう、全カテゴリバンクからは、常時データがポートブロックへ読み出されており、消費電力の増大を招く原因となっていた。そこで本論文では、新たにカテゴリサスペンドモードを実装することとし

た。これは取り扱う画像のデータ出現頻度は大きく偏っているという一般的特長を活かしたものであり、長期間比較に利用されることのないデータ群が格納されているカテゴリバンクは、自動的に停止状態に切り替わる仕組みである。この機能を追加したテーブルルックアップ処理用のマルチポート CAM である Adapted FMCAM を用いた、評価は 3.2 に示す。

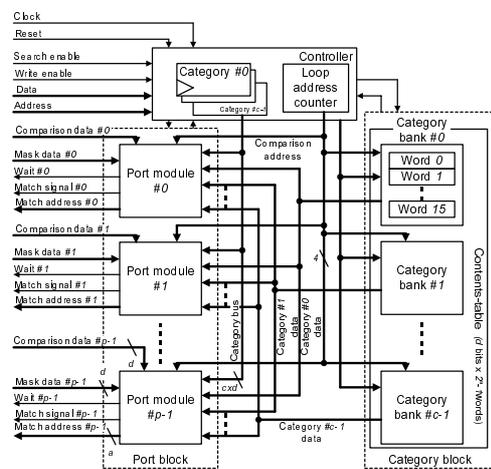


図 1: FMCAM のブロック図。

### 3 ハフマン符号化への適用と評価

#### 3.1 並列テーブルルックアップ処理の概念

図 2 に、並列テーブルルックアップ処理の概念図を示す。ハフマン符号化の準備として、Adapted FMCAM には、符号化前の全データパターンを格納し、マルチポート SRAM にはハフマン符号化テーブルを格納する。Adapted FMCAM の各ポートには、任意のタイミングで符号化前データが入力される。その後、符号化前データの属するカテゴリからデータパターンがロードされるため、比較処理を行い、一致したものが見つかり次第一致アドレスが出力される。Adapted FMCAM の各ポートと、マルチポート SRAM の各ポートは 1 対 1 で対応しているため、マルチポート SRAM は一致アドレスを受け取ったならば、直ちにハフマンコードを出力する。

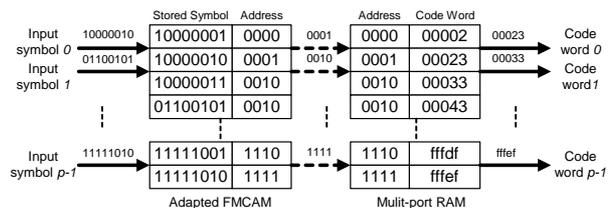


図 2: 並列テーブルルックアップ処理の概念図。

### 3.2 評価・検証

Adapted FMCAM ベースの並列テーブルルックアップアーキテクチャをハフマン符号化に適用した結果を示す。圧縮処理に用いた画像を図 3 に示し、動作周波数、及び実装面積を考慮した性能比較を MOPS にて行なった結果を表 1 に示す。

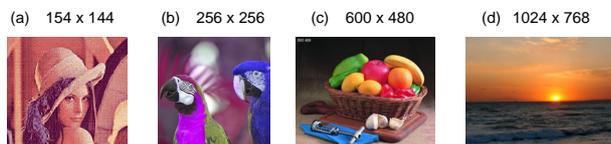


図 3: ベンチマーク用画像。

表 1: ハフマン符号化における Adapted FMCAM と FMCAM, 及び並列 DSP の性能比較。

Number of ports	Maximum frequency [MHz]		Comparison operation [MOPS]			Total area [mm <sup>2</sup> ]		MOPS / mm <sup>2</sup>		
	Original FMCAM	Parallel DSPs	Original FMCAM	Adapted FMCAM	Parallel DSPs	Original FMCAM	Parallel DSPs	Original FMCAM	Adapted FMCAM	Parallel DSPs
1	200	200	10.55	18.58	25.60	0.26	0.21	41	72	122
2	205	200	21.61	38.11	51.20	0.28	0.42	78	137	122
4	201	200	42.26	74.61	102.40	0.33	0.84	127	224	122
8	202	200	85.18	149.14	204.80	0.44	1.68	195	342	122
16	207	200	174.11	302.92	409.60	0.64	3.36	271	472	122

表 1 は、ポート数を 1 から 16 まで変化させた場合の動作周波数、性能 (MOPS)、実装面積、及び単位面積当たりの性能 (MOPS/mm<sup>2</sup>) 算出結果である。ここで DSP はポートを複数持たないため、比較条件を統一するために FMCAM に合わせてポート数を増加する場合は、並列に実装して処理することとしている。性能 (MOPS) は、全アーキテクチャともポート数の増加に比例して増加することが分かる。性能 (MOPS) のみを検討すると、並列配置 DSP が優れている。しかしながら、面積の増加率がポート数の増加に比例して増加するのに対し、両 FMCAM は、面積の増加が緩やかなため、単位面積当たりの性能 (MOPS/mm<sup>2</sup>) では Adapted FMCAM によるテーブルルックアップ符号化アーキテクチャが効果的であることが分かる。ポート数 16 の場合では、FMCAM と比べて約 1.7 倍、並列配置 DSP と比べて約 3.8 倍の向上率であった。

図 4 に、図 3 に示した画像データの出現頻度を示すヒストグラムを示す。今回の検証では画像データを 16 のカテゴリに分類している。算出結果より、カテゴリ 1 に含まれる画像データ群が、どの画像に関しても最も出現頻度が多いことが分かった。特に画像 (c) に関しては、カテゴリ 1 とカテゴリ 14 で、約 62,800 倍の差があることが分かる。そのため、利用頻度の少ないカテゴリはカテゴリサスペンドモードの実装によって長期間データの読み出しを停止することが可能となる。これまでの FMCAM は、全カテゴリが常時読み出し動作を行っていたため、ヒストグラムの高さを擬似的に消費電力量にみなした場合ヒストグラム値が最も大きいカテゴリ 1 の電力量に、他のカテゴリも従うことがわかる。これに対し Adapted FMCAM は、カテゴリサスペンドモードの実装によって頻度の少ないカテゴリの消費電力量を削減することが可能となる。図 5 に、その概念図を示す。従来の FMCAM は領域全体が全消費電力量とみなせるのに対し、Adapted FMCAM はカテゴリの出現頻度と比例して、各カテゴリの消費電力量の面積を合計しても、約 90% と大幅に削減されていると見積もることができる。

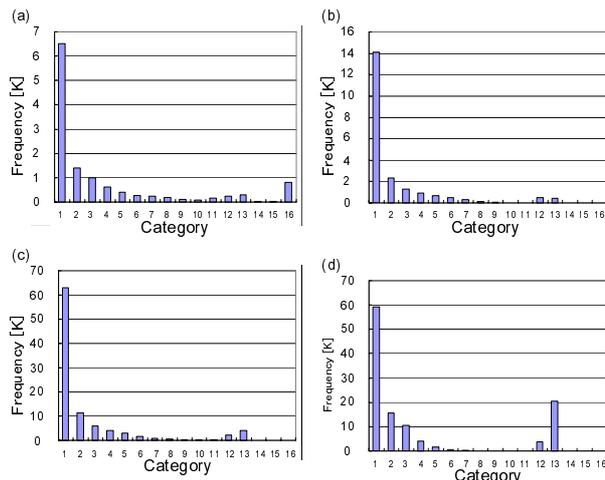


図 4: 画像データ出現頻度ヒストグラム。

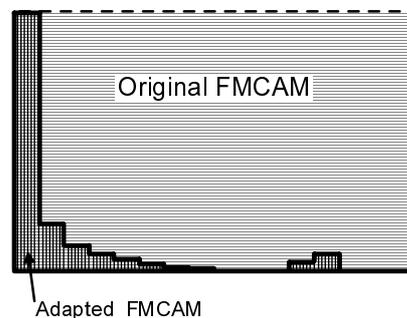


図 5: Adapted FMCAM の消費電力見積もり。

### 4 まとめ

マルチメディアデータ処理のボトルネックとなっていたテーブルルックアップ処理を、新しいアーキテクチャであるマルチポート CAM を適用し効率的に処理するアーキテクチャを提案した。いくつかのベンチマーク画像に対して性能を評価した結果、Adapted FMCAM はテーブルルックアップ処理を高速に行いつつ、従来の FMCAM と比較して消費電力を大幅に削減することが可能なアーキテクチャであることが確認できた。

### 謝辞

本研究は、文部科学省 先端融合領域イノベーション創出拠点の形成『半導体・バイオ融合集積化技術の構築プロジェクト』、及び日本学術振興会特別研究員 (175303, 2005) の支援により行われた。

### 参考文献

- [1] <http://edevise.fujitsu.com/fj/MARCOM/find/19-1j/pdf/j19-1-1.pdf>.
- [2] 熊木武志, 岩井啓輔, 黒川恭一, “フレキシブルマルチポート連想メモリ,” 電子情報通信学会論文誌, vol. J87-D-I, no. 1, pp. 12–21, Jan. 2004.
- [3] T. Kumaki, Y. Kono, M. Ishizaki, T. Koide, and H. J. Mattausch, “Scalable FPGA/ASIC implementation architecture for parallel table-lookup-coding using multi-ported content addressable memory,” IEICE Trans. Inf. & Syst., vol. E90-D, no. 1, pp. 346–354, Jan. 2007.