

論文審査の要旨

博士の専攻分野の名称	博 士 (学 術)	氏名	GHOSH SOUMAJIT
学位授与の要件	学位規則第4条第①・2項該当		
<p>論 文 題 目</p> <p>Compact Modeling of Dual-Gate-Control Mechanism in Thin-Layer-MOSFETs for Advanced Circuit Applications (高性能回路設計に向けた薄膜 MOSFET におけるデュアルゲート制御機構のコンパクトモデル開発)</p>			
<p>論文審査担当者</p> <p>主 査 教 授 寺 本 章 伸</p> <p>審査委員 教 授 黒 木 伸一郎</p> <p>審査委員 教 授 東 清一郎</p> <p>審査委員 准 教 授 花 房 宏 明</p> <p>審査委員 准 教 授 三 宅 正 堯</p>			
<p>〔論文審査の要旨〕</p> <p>半導体デバイスの高性能化は MOSFET (Metal Oxide Semiconductor Field Effect Transistor) の微細化によって達成されてきた。しかし、過度の微細化はトランジスタの制御性を劣化させ、集積回路の性能劣化、特に消費電力の増大をもたらす。これを解決するため、SOI (Silicon on Insulator) 基板を用いた MOSFET が提案されている。さらに、SOI 基板の裏面ゲートバイアスを印加することにより、ゲート電極からの支配力が増し、MOSFET の制御性が向上することにより、消費電力の低減が見込まれる。さらに、この構造は、現在、最先端集積回路で用いられている 3次元構造の Tri-gate Transistor の基本構造となるものである。これら新構造の素子を集積回路で用いるためには、回路上でどのような動作をするのかを計算機上でシミュレーションする必要があり、そのためには、素子の動作特性をモデル化して、各電極への入力信号が決まったときに出力信号が計算できる様にしておく必要がある。</p> <p>本研究では、上記を達成するため、以下のことを行った。</p> <p>① これまでのモデルでは、多数のフィッティングパラメータを用いて物理現象を記述していたが、SOI 基板上の MOSFET の特性に関して、デバイス内の電荷分布を正確に見積もることを基礎として、モデル化できることを示した。</p> <p>② 基板電極電位を制御した Dual-Gate-Control MOSFET に関し、上記モデルを適用し、デバイス動作上、最も大切なパラメータの一つである閾値電圧 (V_{th}) を、フィッティングパラメータを用いず、物理パラメータのみにより正確に記述できることを示した。</p> <p>③ Dual-Gate-Control MOSFET では、基板電極電位を適切に制御することにより、CMOS インバータの消費電力が低減できる条件があることを見いだした。</p> <p>④ SOI 上の MOSFET で最も大きな問題である多数キャリアが電氣的に浮遊している半導体部に蓄積されることによって発生する Floating body effect について、本モデル</p>			

を適用することにより正確に記述することが可能となった。

- ⑤ SOI 上の MOSFET を RF 応用する場合、シリコン基板のボトム酸化膜との界面に電荷が誘起されてクロストークが発生して高調波が出現してしまい、高周波デバイスに用いるのが困難になる。これに対し、基板シリコンのボトム酸化膜界面を多結晶化して電荷捕獲中心を形成することにより、電荷の移動を抑制し高調波の出現を抑制できる。電荷捕獲中心をモデル化することにより、高周波特性の向上をシミュレーションで再現することを可能にした。

以上の結果より、SOI デバイスの集積回路適用において、これまでのフィッティングパラメータを用いた従来のシミュレーションに対して、電荷量を基本としたモデル構築により、物理パラメータを用いたシミュレーションが可能となった。このことは、集積回路における正確な素子のシミュレーションを通して、より高度な設計を可能とした。

本論文は以下の構成である。第 1 章は背景、第 2 章は SOI デバイスの歴史と最先端デバイスのマルチゲート MOSFET の関連、第 3 章は従来のモデルである BSIM と本論文で用いたモデル HiSIM の説明と相違点、第 4 章は、Dual-Gate-Control MOSFET のメカニズム及び V_{th} のモデル化、第 5 章は Dual-Gate-Control MOSFET モデルを用いた回路の省電力化、第 6 章は SOI-MOSFET の Floating body effect に関するモデル化、第 7 章は、SOI-MOSFET の RF 応用、第 8 章は将来展望、第 9 章は結論をそれぞれ述べている。

以上のように、本研究では、集積回路および RF 回路に対する SOI-MOSFET の応用に関して、物理に基づいたモデル化を行うことにより、正確なシミュレーションを可能とし、回路設計をより正確かつ簡便に行えるようにした。さらに、このモデルは SOI デバイスのみならず、Tri-gate MOSFET のような最先端素子への適用も可能であり、工学的意義も極めて大きい。

よって、本論文の著者は博士（学術）の学位を受けるに十分な資格を有するものと認める。

備考 審査の要旨は、1,500 字程度とする。