

論文審査の要旨

博士の専攻分野の名称	博 士 (工 学)	氏名	張 湘煜
学位授与の要件	学位規則第4条第1・2項該当		
論 文 題 目			
Study on Power-Efficient Acceleration Coprocessors in CMOS Technology for Real-time Embedded Machine Learning and Vision (リアルタイム組込み機械学習及びビジョンのための CMOS 技術における電力効率の良い加速コプロセッサに関する研究)			
論文審査担当者			
主 査	教 授	石井 抱	印
審査委員	HiSIM 研究センター・特任教授 Hans Jürgen Mattausch		印
審査委員	教 授	山本 透	印
審査委員	教 授	辻 敏夫	印
審査委員	国際協力研究科・教 授 金子 慎治		印
〔論文審査の要旨〕			
<p>マシンビジョンはコンピュータが実世界理解するために不可欠な技術として半世紀以上にわたって研究され、アルゴリズム及び計算能力の両方の進歩により、SoC(システムオンチップ)で代表される画像認識組込みハードウェアの研究開発が数多く行われ、電力、サイズ、低コスト等の制限を踏まえた設計に基づく、モバイル機器等への画像認識利用が期待されている。このような背景のもと、本論文では、カメラシステムにおける実時間かつ低消費電力での画像認識を可能とする加速コプロセッサに係る研究を行っている。</p> <p>第1章及び第2章では、本論文の学術的背景を含めたイントロダクション、本論文の理論的バックグラウンドとなる関連研究について述べている。第3章では、歩行者検出のための加速プロセッサについて論じ、セル単位の並列 HoG 計算に基づく歩行者認識を高速演算可能とする回路アーキテクチャを提案し、提案アーキテクチャを 65nm CMOS プロセスによる ASIC デバイスに集積化を行い、XGA 画像に対して 30fps の実時間歩行者認識を可能とすることを実機レベルで示し、さらには他の歩行者認識用 LSI デバイスに対する評価を行い、処理に必要とされる消費電力を抑えた形での実時間歩行者認識において優位性があることを示している。第4章では、低電力でハイスループットのオンチップ学習を可能とした再構成可能な学習コプロセッサについて論じ、計算時間の短縮及びスケーラビリティを考慮した LVQ に対応した形での再構成可能な並列パイプラインアーキテクチャを提案するとともに、65 MHz CMOS プロセスによる ASIC デバイスへの集積化に成功し、固定小数点演算に基づく小さな精度損失はあるものの低消費電力での高速 LVQ 学習が可能であることを示している。第5章では、全体の総括を述べている。</p> <p>以上審査の結果、本論文の著者は博士(工学)の学位を授与される資格があると認められる。</p>			

備考：審査の要旨は、1,500字以内とする。