

論文審査の要旨

博士の専攻分野の名称	博 士 （ 工 学 ）	氏名	周 昕
学位授与の要件	学位規則第4条第1・2項該当		
論 文 題 目 Efficient Hardware Algorithms for the FPGA (FPGA 向けの効率的なハードウェアアルゴリズム)			
論文審査担当者			
主 査	教 授	中野 浩嗣	印
審査委員	教 授	栗田 多喜夫	印
審査委員	准教授	伊藤 靖朗	印
〔論文審査の要旨〕			
<p>FPGA (Field Programmable Gate Array) はユーザーが書き換え可能な集積回路である。FPGA は、信号処理で用いられる畳み込み演算の高速化をターゲットにおいたアーキテクチャであるが、この FPGA を信号処理以外の汎用計算に用いる研究が盛んにおこなわれている。本研究では FPGA を用いたいくつかの汎用計算手法の提案と、実際の FPGA を用いた性能評価に関する研究をまとめたものである。</p> <p>第1章では、研究の背景と、研究成果の概略について述べている。</p> <p>第2章では、研究成果の理解に必要な FPGA の構造と、FPGA の組み込み回路である DSP48E1 スライスとブロック RAM について説明している。DSP48E1 スライスは、加算器、乗算器、パイプラインレジスタなどから構成される信号処理用の回路である。ブロック RAM は2つの独立した入出力ポートをもつ小容量の組み込みメモリである。これら2つの特徴について述べている。</p> <p>第3章では、画像の直線成分を検出するためのハフ変換と呼ばれる処理を、FPGA の DSP48E1 スライスとブロック RAM を用いて高速に行う手法について提案している。ハフ変換のアイデアは、画像中の各エッジ点に対して、各要素が直線成分（オフセットと角度）をあらわす2次元配列に投票することである。具体的には、エッジ点を通過するあらゆる直線に対応する要素に投票し、多数の投票がある2次元配列の要素に対応する直線成分を出力すれば良い。この投票処理を FPGA で効率よく行うために、複数のブロック RAM に2次元配列を設定し、同時に投票を行えるようにしている。また、エッジ点を直線成分に変換するために複数の DSP48E1 スライスを同時に用いている。この並列計算手法により、FPGA による高速ハフ変換を実現している。また、エッジ点の勾配情報をもちいてより精度よく直線成分を検出する手法と、画像中の正円を検出する手法についても提案し、</p>			

FPGA を用いた性能評価も行っている。

第4章では、大量の多倍長数の最大公約数（GCD）を FPGA で高速に求める手法について提案している。最大公約数を求める効率よい手法として、ユークリッドの互除法が知られている。しかし、ユークリッドの互除法は剰余演算を含んでおり、FPGA を用いた剰余演算は大量のハードウェアリソースと実行時間が必要となってしまう。そこで剰余演算を行わないようにユークリッド互除法を修正し、さらに FPGA で高速に処理できるようにした。具体的には、ブロック RAM に格納された多倍長データの減算とシフト演算を効率よく実現するために、DSP48E1 スライスを巧妙に用いている。

第5章は、最もよく用いられている可逆圧縮方式の LZW 圧縮方式の圧縮と展開を行う回路を FPGA に実装している。LZW 圧縮では、それまでにあらわれたデータ列を辞書に登録する作業が必要である。その辞書のコードを出力することにより、データ列の圧縮を実現している。辞書を格納するのにブロック RAM を用いているが、コードをそのまま辞書に登録すると、膨大な大きさの記憶容量が必要となり、FPGA 上のブロック RAM に格納することはできない。そこで、連想配列をブロック RAM に実現し、その上に辞書を格納することを提案した。このアイデアにより、ブロック RAM の使用量を大幅に削減することができた。また、コード検索を並列化することにより、辞書へのコード登録と参照が短時間に行え、リアルタイムの LZW 圧縮と展開が行えることを示した。

第6章では、第5章までの成果を要約し、結論としてまとめている。

以上、審査の結果、本論文の著者は博士（工学）の学位を授与される十分な資格があるものと認められる。

備考：審査の要旨は、1,500 字以内とする。