

# 論文の要旨

氏名 西田 征男

論文題目 Temperature Dependence of Threshold Voltage in Poly-Si/TiN Metal Gate Transistors

(Poly-Si/TiN 金属ゲートトランジスタの閾値電圧の温度依存性)

本論文は全 6 章から構成される。各章についての概要をいかにまとめる。

第 1 章ではこの研究の背景を述べた。半導体集積回路に搭載される MOSFET には、微細化と高性能化が継続的に要求されてきた。特に動作速度の向上が求められる Logic 対応 MOSFET では、ゲート絶縁膜の薄膜化が重要となる。ゲートリーク電流を抑制しつつ実効ゲート絶縁膜厚を減らし、ゲート電極空乏化も抑制するには、従来の poly-Si/SiO<sub>2</sub> ゲート電極からメタル/High-k 電極への置き換えが望ましいと言える。

一方、半導体集積回路の設計において重要なパラメータである  $V_{th}$  の温度係数 ( $|dV_{th}/dT|$ ) は、poly-Si からメタルへの変更で増加するという報告がある [1,2]。設計の観点からは、 $|dV_{th}/dT|$  を適切に制御することが望ましいが、メタルゲートの  $dV_{th}/dT$  が何に依存して決まっているのかなどの詳細な報告は少ない。

そこで、poly-Si/TiN/High-k 型メタルゲートトランジスタの TiN 厚さ、キャッピング厚さ ( $V_{th}$  を制御するため High-k と TiN の間に積層される La<sub>2</sub>O<sub>3</sub>, Al<sub>2</sub>O<sub>3</sub> など) が  $dV_{th}/dT$  に与える影響を分析し、変化が生じるメカニズムを解明することで、その制御方法を検討した。なおメタルゲートサンプル作成には、従来の poly-Si/SiO<sub>2</sub> ゲートトランジスタとのプロセス的な親和性が高くサンプル作製が比較的容易な Gate-First プロセスを用いた。

第 2 章では、本論文のテーマである、メタルゲートの  $|dV_{th}/dT|$  を理解するための基礎理論、および関連する論文の内容を説明した。

まず  $V_{th}$  の解析式による記述を行い、その温度微分によりの  $dV_{th}/dT$  特性を考察した。 $dV_{th}/dT$  のおおよその値を決めるのは、シリコン中のフェルミレベルの温度依存性(仕事関数の温度依存性)である。そのためメタルゲートと poly-Si ゲートではゲート電極におけるフェルミレベルの温度依存性が異なり、メタルゲートの方が  $V_{th}$  の温度変化が大きくなる。

また、物質の仕事関数の値について、その物質の結晶性の違いからも影響を受けることを説明した。更に、ある物質が MOS のゲート電極として使われた場合、CV 特性などから得られる仕事関数の値が、その物質本来の仕事関数の値とは異なる場合がある(その値は実効仕事関数として扱う)ことについても解説した。

第 3 章では、メタルゲートトランジスタの  $dV_{th}/dT$  の特性について実際に評価を行った。初めに、メタルゲート nMOSFET を用いて  $dV_{th}/dT$  と  $dV_{FB}/dT$ (フラットバンド電圧の温度係数)の TiN 厚, La<sub>2</sub>O<sub>3</sub> 厚, Al<sub>2</sub>O<sub>3</sub> 厚依存性を測定した。TiN 厚さが厚くなると、 $dV_{FB}/dT$  が変化し  $|dV_{th}/dT|$  が大きくなった。また、TiN 厚さと Al<sub>2</sub>O<sub>3</sub> 厚の増加は、EOT を増加させる。

その結果、空乏電荷の温度係数が  $dV_{th}/dT$  に与える影響が拡大し、 $|dV_{th}/dT|$  が大きくなることがわかった。即ち、 $La_2O_3$  厚の増加では影響なし、 $Al_2O_3$  厚の増加で  $|dV_{th}/dT|$  は増加、TiN 厚の増加では  $dV_{FB}/dT$  の変化も伴いつつ  $|dV_{th}/dT|$  が増加した。

次にメタルゲート pMOSFET での  $dV_{th}/dT$  と  $dV_{FB}/dT$  の TiN 厚依存性を測定し nMOSFET と比較した。その結果、TiN 厚の変化に従い Pch でも  $dV_{FB}/dT$  が変化するが、方向は  $|dV_{th}/dT|$  を小さくする方向であった(変化幅は Nch と同じ)。一方、空乏電荷のからの影響は Nch と同様に  $|dV_{th}/dT|$  を大きくしていた。そのため、Nch の  $|dV_{th}/dT|$  は TiN 厚の増加で顕著な増加をするが、pMOSFET では 2 つの効果が打ち消しあってあまり TiN 厚に依存しないことがわかった。

ここで、空乏電荷起因の温度係数の変化は、単に EOT の変化に依存したもので、従来の poly-Si/SiO<sub>2</sub> の場合でも見られていた効果である。しかし TiN 厚の変化による  $dV_{FB}/dT$  の変化はメタルゲート特有の現象であるため、その原因を追求した。 $dV_{FB}/dT$  が TiN 厚依存を持つ原因として、TiN/High-k 界面の影響を調べるため、ゲート絶縁膜の HfON を SiON に変えて比較をした。TiN 厚による  $dV_{FB}/dT$  の変化は両者で違いがなく、 $V_{FB}$  の温度係数変化の原因は TiN 自身、即ち TiN の仕事関数  $\Phi_{TiN}$  の温度係数 ( $d\Phi_{TiN}/dT$ ) の変化にあると考えられる。実際に  $d\Phi_{TiN}/dT$  の値を算出すると、 $-0.05 \sim -0.20$  mV/K となり、TiN 厚 5nm から 15nm への増加で負方向へ 0.1 mV/K 程度シフトすることがわかった。

第 4 章では、 $\Phi_{TiN}$  の温度依存性のメカニズムを考察した。 $d\Phi_{TiN}/dT$  が TiN 厚が厚いと負方向へシフトする原因を調べるため、TiN サンプルの物理解析を行った。まず、TiN 厚 10nm と 30nm のサンプルでの Ultraviolet Photoelectron Spectroscopy (UPS) により、TiN 厚の違いで仕事関数が変化することが直接的に確認された。また、TiN 厚 5,10,30nm サンプルの Transmission Electron Microscope (TEM) 画像を比較すると、柱状結晶を作る性質のある TiN は、この範囲の TiN 厚の増加とともに結晶性が高まる傾向が読み取れた。更に X-ray Diffraction (XRD) のピーク波形の比較により、TiN 厚が 5,10,30nm と増加するに従って結晶性が高まることも確認できた。

TiN の仕事関数  $\Phi_{TiN}$  は結晶構造が違くと異なる値となると考えられ、また、 $\Phi_{TiN}$  は結晶性が低い方が小さい値となると考えられる。 $\Phi_{TiN}$  は温度が上昇すると減少するが、減少とともに異なる結晶構造の間の  $\Phi_{TiN}$  の差異も縮小し、融点で 0 となる(全ての結晶構造で  $\Phi_{TiN}$  は同じ値となる)と推測される[3]。従って、結晶性が低く  $\Phi_{TiN}$  が小さい薄い TiN は、結晶性が高く  $\Phi_{TiN}$  が大きい厚い TiN よりも、 $|d\Phi_{TiN}/dT|$  が小さくなると考えられる。即ち、TiN の厚さが増加するとその結晶性が高まるため、 $\Phi_{TiN}$  が増加し  $|d\Phi_{TiN}/dT|$  も増加すると考えられる。 $d\Phi_{TiN}/dT$  は負の値なので、TiN が厚くなると  $d\Phi_{TiN}/dT$  は負方向にシフトすることとなる。

第 5 章では、得られた結果を踏まえ、 $dV_{th}/dT$  の制御の可能性を検討した。上記のメカニズムにより、TiN 厚の増加により  $d\Phi_{TiN}/dT$  が負方向へシフトし、 $dV_{FB}/dT$  も負方向へシフトすると考えられる。しかし nMOSFET と pMOSFET の比較の際に述べたように、これは Pch の  $|dV_{th}/dT|$  を減少させるが Nch の  $|dV_{th}/dT|$  を増加させる。従って、Nch と Pch で同じ TiN を使う限り、TiN 厚もしくは TiN 結晶性の調整により、メタルゲート CMOS の Nch も Pch も同時に  $|dV_{th}/dT|$  を抑制することは困難であると言える。次善策として、Nch と Pch で  $|dV_{th}/dT|$  の値を同じにすることができれば、Nch と Pch の  $V_{th}$  差が温度によらず一定に

維持できる(それを回路的なメリットとして生かせる場合もあると考えられる)。そのような条件は、基板濃度と TiN 厚を調整することで実現可能であることを示した。

なお、今回のサンプル作製に使用した Gate-First プロセスではなく、Gate-Last プロセスであればこの問題(Nch と Pch の  $|dV_{th}/dT|$  を同時に小さくする)を解決しやすい。Gate-Last プロセスでは Gate 電極を高温アニールの後形成するため、従来の poly-Si/SiO<sub>2</sub> ゲートプロセスとの親和性は高くないが、Nch と Pch でゲートメタルの種類を変えることも比較的容易となる。そこで Nch では薄い(あるいは結晶性の低い)TiN、Pch では厚い(あるいは結晶性の高い)TiN を使えば、双方の  $|dV_{th}/dT|$  を低く抑えることが可能となる。

第 6 章は、以上の内容の要約であり、Poly-Si/TiN メタルゲートランジスタの  $V_{th}$  の温度特性についての研究の結論を提示した。

[1] Han, S.-J. et al., “On The Difference of Temperature Dependence of Metal Gate and Poly Gate SOI MOSFET Threshold Voltages,” IEDM Tech. Dig. (2008), pp.585-588.

[2] R. Iijima. et al., “Experimental and theoretical analysis of factors causing asymmetrical temperature dependence of  $V_t$  in High-k Metal gate CMOS with capped High-k techniques,” IEDM Tech. Dig. (2008), pp.581-584.

[3] E. H. Blevis. et al., “Temperature Dependence of the Work Function of Single-Crystal Faces of Copper,” Phys. Rev. 133 (1964) pp. A580-A584.