

論文の要旨

氏名 有留 誠一

論文題目 Study of NAND Flash Memory cells
(NAND 型フラッシュメモリセルの研究)

本論文の目的は、NAND 型フラッシュメモリのメモリセルの微細化、及び信頼性の課題を明らかにし、課題を解決する方法を提案して、次世代大容量の NAND 型フラッシュメモリに適用することである。本論文は全 6 章より構成される。以下に各章の概要を述べる。

第 1 章では研究の背景と目的を述べる。その中で NAND フラッシュの主要技術であるメモリセルの微細化、低コスト化、高信頼化の重要性について述べ、本研究の工学的価値を示す。

第 2 章では、NAND 型フラッシュメモリの構成と動作原理について述べる。

第 3 章では NAND 型フラッシュの低コスト化の主要技術であるメモリセルの微細化技術、多値化技術について述べる。

最初に LOCOS (LOCAl Oxidation of Silicon) 素子分離を用いたメモリセルの微細化技術に関して論ずる。LOCOS 酸化膜をスルーする素子分離 B (ボロン) イオン注入をすることで、素子分離層の B 拡散を抑え、素子分離特性と高ジャンクション耐圧を同時に実現し、微細化を可能にした。

次に、STI (Shallow Trench Isolation) を用いた SA-STI セル (Self-Aligned STI セル) に関して論ずる。従来、STI をフラッシュメモリに用いようとする、STI エッチで、ゲートのオーバーラップによりトンネル酸化膜 (ゲート酸化膜) が劣化する問題があった。この問題を、新しい構造である SA-STI セル構造で根本的に解決した。さらにフローティングゲートと STI をセルフアライン (自己整合) 構造にすることで、セルサイズの微細化と高信頼性を同時に実現した。

加えて SA-STI セルのスケージング限界を Read Window Margin, Structure challenge, High Field Problem を用い論じた。その結果、1Z nm (10 nm) ルールのメモリセルを実現するためには、WL/STI Air Gap (60% coupling reduction) 及び 5nm 厚 FG/CG プロセスコントロールが必要であることを示した。

次に、多値セルに適した SWATT cell (Side Wall Transfer Transistor cell) に関して論ずる。STI の側壁に配した Transfer Transistor の効果により、セル V_t 設定の上限をなくすことができ、多値セルの V_t 分布幅を拡げることができる。これにより書き込みの高速化、高信頼性化が実現できる。

第 4 章では NAND 型フラッシュの将来技術である 3-Dimensional cell (三次元セル) について論ずる。

最初に 3-Dimensional cell の背景について述べ、次に、新しいフローティングゲート型の 3-Dimensional cell として、Dual Control gate-Surrounding Floating gate cell (DC-SF cell) に関して論ずる。DC-SF cell は従来提案されてきた SONOS 型のセルに比べ、動作速度 (消去速度)、信頼性で優れていることを実証する。

また、従来の DC-SF cell のプロセス・構造の問題を解決する新しいプロセスを提案し、検証した。加えて、新しい読み出し、書き込み動作方法を提案し、高信頼性化が実現できることを示した。

第5章では NAND フラッシュの信頼性に関して論ずる。

NAND フラッシュの信頼性の劣化は、主に書き込み／消去サイクリングによるトンネル酸化膜の劣化現象に起因する。劣化現象は、トンネル酸化膜に高電界を印加して Fowler-Nordheim tunneling (FN-t) 電流を流すときに生じるエレクトロン・ホールトラップ、Stress Induced Leakage Current (SILC) などである。これらの劣化現象がメモリセル信頼性に与える影響を明確にした。

最初に、書き込み／消去サイクリング特性(Program/Erase Cycling)に関して論ずる。書き込み／消去サイクリングによるメモリセル特性の劣化の主要因は、エレクトロントラップである。Erase の Vt Narrowing が顕著であり、特にトンネル酸化膜厚い場合に加速される。データ保持特性は Bake 中（放置中）に生じるのエレクトロン・ホールトラップのデトラップで加速され、書き込み／消去サイクリングが1万回を超えると顕著である。また、デトラップにより、データ保持特性の回復現象も観測された。

Read Disturb 特性の劣化は Stress Induced Leakage Current (SILC)に起因し、Bi-polarity FN-t write/erase technology が Channel-Hot-Electron write and FN-t Erase technology にくらべ Read Disturb 特性は優れている。FN-t 電流が双方向 (Bi-polarity FN-t) に流れることで、トンネル酸化膜中に生じた hole trap が逆方向 FN-t 時に detrap し、SILC が減少するためと考えられる。

さらに、微細化した SA-STI cell の新しい現象として、Program 時に非選択セルにおける Negative Vt shift をはじめて観測し、そのメカニズムを実験的に明らかにした。Si 基板(Channel)からコントロールゲート(CG)へ直接流れる FN-t 電流で生じる基板方向に流れる正電荷(hole)の一部が非選択セルのフローティングゲート(FG)へ注入されるためと考えられる。

第6章では本研究の結論を述べる。本研究の工学的意義として以下の事項が挙げられる。

- (1) NAND 型フラッシュのメモリセルを各種提案し、開発して、実用化した。
特に、SA-STI cell は 1998 年からこれまで (2013 年)、ほぼすべての NAND Flash メモリ製品に使われている。
- (2) 新しいフローティングゲート型の 3-Dimensional cell (Dual Control gate – Surrounding Floating gate cell(DC-SF cell)) 及びその動作方法を提案、開発した。従来提案されてきた SONOS 型のセルに比べ、動作速度 (消去速度)、信頼性で優れていることを実証した。
- (3) NAND 型フラッシュの信頼性劣化のメカニズムを明らかにし、より適した動作方法を見出した。