

## イメージスキャン画像分割アーキテクチャの LSI 設計

栗根 和俊 岡崎 啓太 永岡 奈緒美 菅原 達也 小出 哲士 Hans Juergen Mattausch  
 広島大学 ナノデバイスシステム研究センター 〒739-8527 東広島市鏡山 1-4-2

### 1. まえがき

近年, 知的情報処理技術の実現に向けて, 画像認識処理技術の需要が高まってきている. 特にリアルタイムでの動物体検出には, 膨大な視覚情報を処理する必要がある. 画像分割処理は画像中に存在する物体を抽出する処理で, オブジェクトベースの画像認識などには欠かせない前処理である.

我々の研究室は, 領域成長に基づくイメージスキャン画像分割アーキテクチャを提案している[1]. 同アーキテクチャは処理回路 (以下 ISE) のサイズとメモリの構成を変えることで, アプリケーションに応じて処理速度と処理回路サイズの最適化が可能な柔軟性を有する. 本研究では, 同アーキテクチャを ASIC 設計し, 評価することを目的とする.

### 2. 領域成長型画像分割アルゴリズム

本研究では, 領域成長型のデジタル画像分割アルゴリズム[2]を用いて画像分割処理を行なう. 図 1 に 3×3 画素の画像分割のフローを示す. まず入力された画像で隣り合う各画素間の輝度の類似度である結合重みを計算する. 次に, すべての画素に対して 8 近傍の画素との結合重みの和を計算し, その和が閾値以上の画素を領域成長の起点となるリーダセルに設定する. その後, リーダセルの 1 つが発火し, 発火画素と隣接した結合重みの大きいセル(画素)に引火していくことで領域が成長し, 新たに引火するセルが存在しなくなったら, 発火領域へラベルを付けることで一領域の分割が終了する. この処理を繰り返し, 全ての領域の分割を行う.

### 3. イメージスキャン画像分割アーキテクチャ

提案アーキテクチャでは, 画素 2 行分の画像分割処理回路で画像分割を行う. 画像分割処理はこれらの回路を用いて, 画像の上部から 2 行ごとに発火などの判定を行なう(図 1). 画素並列処理回路にメモリから画像 2 行分の分割に必要な結合重みなどの各信号を読み出し, 引火などを判定し, その結果をメモリへ書き込むというものである.

提案アーキテクチャを用いて画像分割は初期化(結合重み計算, リーダセル検索), 自己発火, 引火, 鎮火の 4 つのステートで行われる. また, それぞれの画像ブロックで, それぞれの画素に対応する画像分割エレメント(ISE)でこれらの処理を行う.

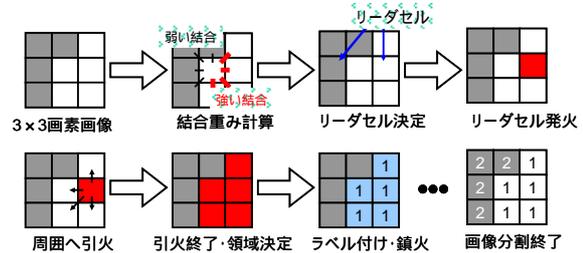


図 1: 領域成長型画像分割アルゴリズム

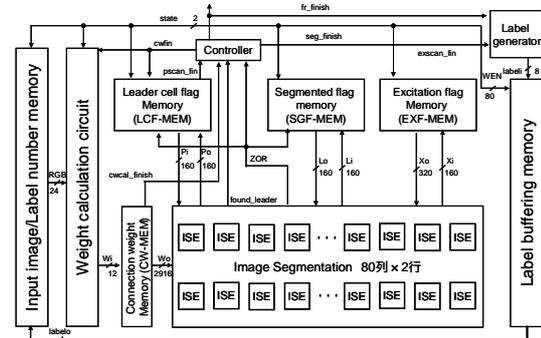


図 2: イメージスキャン画像分割アーキテクチャ

### 4. リーダセル検索の非同期制御による動作周波数向上

リーダセル検索は, ISE 間を繋いだトークンパスによって行われる. この方式を用いて, これまでは 1 クロックサイクルでリーダセル検索を完了する制御になっていた. この場合, スキャンブロック数だけのリーダセルを検索するパスが全体のクリティカルパスとなる. しかしながら, リーダセル検索は, 領域成長処理や結合重み計算処理などの他ステートに比べ, 処理サイクル数が非常に少ない. このため, リーダセル検索を非同期制御化することで, 動作周波数を向上させる. 非同期制御の処理フローを図 3 に示す. 変更後では, 外部クロックから生成した内部クロックで全体を制御する. 処理ステートがリーダセル検索の場合, 内部クロックを停止するが, 他ステートの場合, 外部クロックと同一とする.

### 5. ASIC 設計

設計回路の画像サイズは 80×60 画素, スキャンブロックサイズは 80×2 画素とした. また, テクノロジーは 180 nm CMOS, メモリは IP[3]を利用した. 図 5 に設計回路のフロアプランを示す. イメージスキャン画像分割アーキテクチャでは, 図 2 に示すように, ISE と各メモリとの間で高バンド幅のデータ

転送を行っている．特に転送データが多い Connecti-

の構築プロジェクト』により行われた．

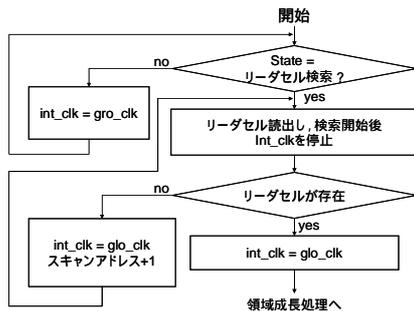


図 3: リーダセル非同期制御処理フロー (int\_clk:内部クロック, glo\_clk=外部クロック)

on Weight memory (以下 CW-MEM) は, 特定の ISE とデータ転送を行う．よって, ISE と CW-MEM を並べて配置することで, 結合重みの配線をローカルに処理し配線遅延を抑えた．各フラグメモリは, CW-MEM と同時に領域成長処理の際に使用される．そのため, これらのメモリは ISE に近接して, 両端に配置する．一方, Label buffering memory は Excitation flag を用いた分割領域のラベル付けと, 1 フレームの分割が終了した後のラベル番号を外部に出力する際に使用する．このため, Label buffering memory は領域成長フラグの右側に配置し, 外部にラベルを出力する．制御回路は, メモリの制御回路と画像分割処理ユニット全体へステート信号を転送するため, 中心に配置する．

作成したレイアウトを図 4 に, 諸元を表 1 に示す．リーダーセル検索非同期化制御により, 最高動作周波数が 16.1 MHz から 80.6 MHz に向上した．更にクリティカルパスの改良を行うことで最高動作周波数が 123MHz に向上した．回路面積の約 8 割をメモリが占めるため, 小面積化のためにメモリの最適化が必要である．

6. まとめ

本稿では, イメージスキャン画像分割アーキテクチャにおけるリーダーセル検索の非同期制御を提案し, 180 um CMOS テクノロジーで同アーキテクチャを設計した．提案方法により最高動作周波数が 16.1 MHz から 123 MHz に向上した．

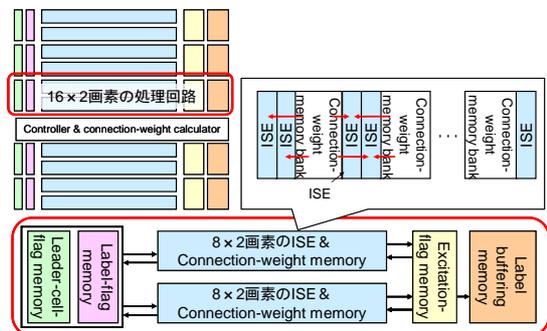
謝辞

本研究は東京大学大規模集積システム設計教育研究センターを通し, シノプシス株式会社および日本ケイデンス株式会社の協力で行われたものである．

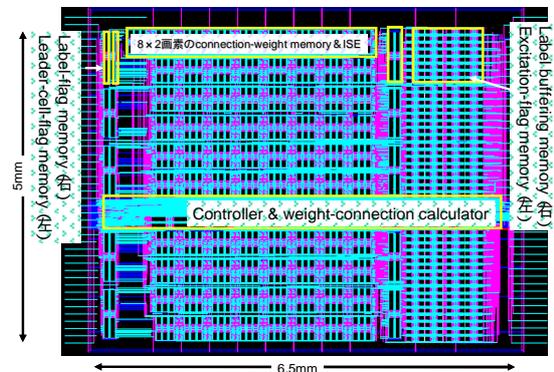
本研究は, 文部科学省 先端融合領域イノベーション創出拠点の形成 『半導体・バイオ融合集積化技術

参考文献

[1] H. Adachi, “Image-scan architecture for efficient FPGA/ASIC implementation of video segmentation by region growing,” Proc. of the Int. SoC Design Conf. (ISOC), pp. 301–304, 2005  
 [2] T. Morimoto, “Efficient video-picture segmentation algorithm for cell-network-based digital CMOS implementation,” IEICE Trans. on Information & Systems, vol. E87-D (2), pp. 500–503, 2004.  
 [3] K. Jouguchi, “Combined Data/Instruction Cache with Bank-Based Multi-Port Architecture,” Solid State Devices and Materials(SSDM2003), pp. 152-153, 2003.



(a): フロアプラン



(b): レイアウト

図 4: 設計したイメージスキャン画像分割回路

表 1: layout 諸元

Technology	180nm CMOS
配線層数	5 層配線
電源電圧	1.8V
画像 size	80x60
処理回路数	80x2 ISEs
Size	6.5mmx5mm
動作周波数	123MHz