

学習機能を実現する連想メモリのLSI設計

榊原 尚吾 Md. Anwarul Abedin 田中 裕己 Hans Juergen Mattausch 小出 哲士

Research Center for Nanodevices and Systems, Hiroshima University,

1-4-2 Kagamiyama, Higashi-Hiroshima 739-8527, Japan

Phone:+81-82-424-6265 Fax:+81-82-424-3499 E-mail:shogo-sakakibara@hiroshima-u. ac. jp

1. 背景・目的

認識処理において、入力データとデータベースに保存された参照データを比較して最も類似するデータを検索する処理は重要である。この処理に対して、従来のシステムでは、入力パターンのデータをメモリ内の複数の参照データと逐次比較して、最も類似したパターンを示す参照データを検出しているため、パターンの検索に時間がかかるという問題がある。その問題を解決するために、我々は、デジタル・アナログ混合型全並列型最小距離検索メモリを用いることで高速・低消費電力かつ小面積を実現している[1,2]。この連想メモリでは新規データを認識するために、参照データの追加または入れ替えが可能である。そこで、本研究では、最小距離検索連想メモリに新規データを学習する機能を付加し、自動的に新規データを認識できる連想メモリの実現を目的としている。

2. 最小距離検索連想メモリ

連想メモリとは、入力されたデータ列に対して複数の参照データから最も類似したデータを検索する機能を持つ機能メモリの1つである。図1に連想メモリのブロック図を示す。我々は、距離を演算する回路をメモリブロック内部に実装し、またアナログの原理を用いた最小距離検索回路を用いて、入力データと各参照データに対する距離の演算と最小距離の検索をすべて並列に処理することによって、従来のアーキテクチャと比べ、高速・低消費電力かつ小面積な連想メモリを実現している。

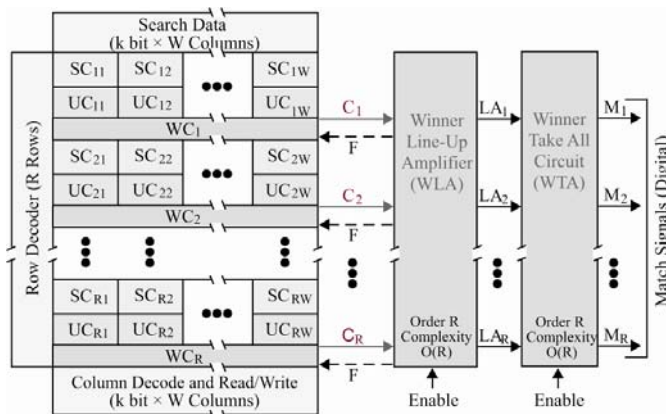


図1. 連想メモリのブロック図.

3. 長期・短期記憶に基づく学習アルゴリズム

我々は参照データの学習方法として、人間の短期記憶・長期記憶の概念に基づくアルゴリズムを提案している[3]。図2に学習アルゴリズムの概念図を示す。連想メモリ内の記憶領域を、新しい情報を一時的に記憶しておく“短期記憶領域”と、一時的な入力に影響を受けない“長期記憶領域”に分類して取り扱う。学習アルゴリズムでは、各参照データアドレスに対して“ランク”を割り当て、ランクの順位に応じて参照データを長期記憶・短期記憶に分類する。上位ランクであるほど、参照データの使用頻度が高く、一時的な入力の影響を受けにくい。



図2. 学習アルゴリズム.

Step1: 入力データと連想メモリ内の参照データ間の距離をある距離指標（ハミング距離，マンハッタン距離，ユークリッド距離）に基づき計算し，最小距離参照データ (Winner) を決定する。

Step2: 入力データと Winner 間の距離 D_w と閾値 D_{th} を比較する。

Step3(a): $D_w \geq D_{th}$ の場合，入力データを新規データと判断し，入力データを短期記憶領域に記憶させる。入力データは短期記憶領域の最上位ランクを割り当てられ，短期記憶領域に分類されている他の参照データのランクを1つずつ繰り下げる。その際，最下位ランクの参照データは失われる。

Step3(b): $Dw < Dth$ の場合、入力データと Winner は類似していると判断し、入力データを Winner として認識する。そして、Winner となった参照データに割り当てられているランクを一定幅ランクアップさせる。上げ幅は、Winner のランクに基づいて決定し、Winner が長期記憶領域に分類されていれば JL, 短期記憶領域に分類されていれば JS($JL > JS$) とする。

Step4: データが入力される間、上記の処理を繰り返す。

4. ランキング処理回路のアーキテクチャ

提案アルゴリズムを実現するアーキテクチャの概要を図 3 に示す。ランキング処理ブロックは DFF, トライステートバッファ(TB-A, TB-B, TB-C), ビット比較器により構成されている。縦 64 個, 横 6 個の DFF に 64 パターン分の参照データアドレス (6bit) を格納する。各 DFF に付加した完全一致検索回路(CAM)により、最小距離参照データアドレス (Winner Address) と一致するアドレスを検索する。Winner Address を保持している DFF 行が“1”を出力することで、参照データにあるランクを割り当てる。そして、TBにより DFF を制御して、一致した参照データアドレス(Rank Address) を一定幅シフトさせることでランクアップ・ランクダウンを実現している。

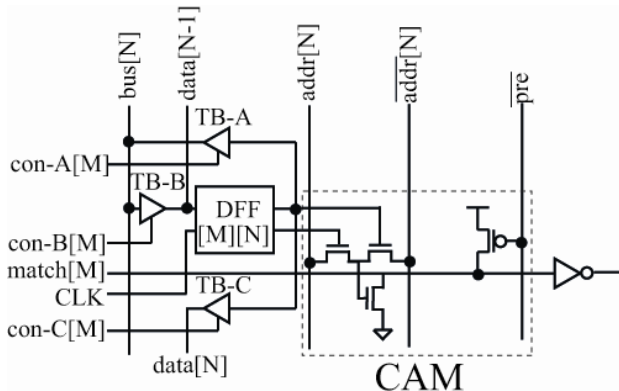


図3.ランキング処理回路のアーキテクチャ。

5. テストチップ設計

我々は、0.35 μ m CMOS テクノロジーを用いて、提案アーキテクチャをフルカスタム設計し、レイアウトを作成した。そして、ランキング処理を制御する回路を Verilog-HDL により動作記述・機能検証を行い、論理合成・配置配線を行ってレイアウトを作成した。そしてレイアウトからネットリストを抽出し、回路シミュレータにより動作検証を行った。学習機能を付加した連想メモリの試作チップ写真を図 4 に示す。連想メモリブロックのサイズは 7.14 mm^2 であり、学習ブロックのサイズは 1.35 mm^2 である。

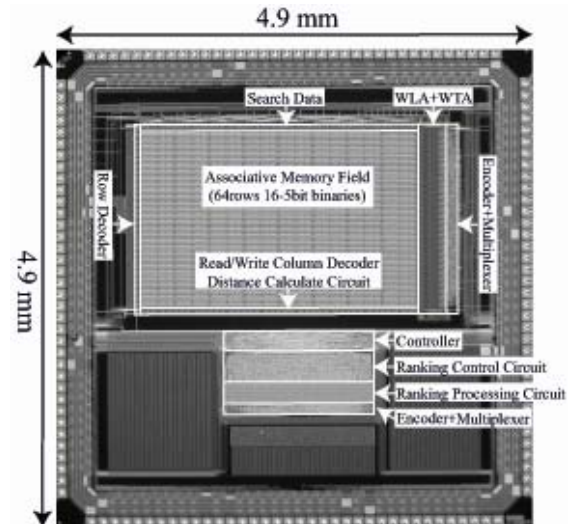


図4.試作チップ写真。

6. まとめと今後の課題

本研究では、人間の短期記憶・長期記憶の概念に基づく学習のアルゴリズム及び連想メモリベースの学習アーキテクチャを提案した。このアーキテクチャの検証を行うため、0.35 μ m CMOS テクノロジーを用いてテストチップを試作した。今後の課題として、試作したチップの動作を検証、評価を行う必要がある。

謝辞

本研究は、東京大学大規模集積システム設計教育研究センターを通し、シノプシス株式会社・日本ケイデンス株式会社・メンター株式会社・シルバコ・ジャパン株式会社の協力で行われたものである。

また、文部科学省 先端融合領域イノベーション創出拠点の形成『半導体・バイオ融合集積化技術の構築プロジェクト』と科研費 (19360163) の助成により行われた。

参考文献

- [1] A. Ahmadi, et al., “Developing a Reliable Learning Model for Cognitive Classification Tasks Using an Associative Memory,” IEEE Symposium on Computational Intelligence in Image and Signal Processing, to appear, April 2-3, 2007.
- [2] H. J. Mattausch, et al, “Compact Associative-Memory Architecture with Fully-Parallel Search Capability for the Minimum Hamming Distance,” IEEE Journal of Solid-State Circuits, Vol. 37, pp. 218-227, 2002.
- [3] Y. Shirakawa, et al. , “Automatic Pattern-Learning Architecture Based on Associative Memory and Short/Long Term Storage Concept,” Proc. of SSDM’2004, pp. 362-363,