

博士論文

回路シミュレーションのためのキャリア
走行遅延を考慮した MOSFET モデル

**A Non-Quasi-Static Model for MOSFET
Based on Carrier-Transit Delay**

中山 範明

広島大学大学院先端物質科学研究科

2003 年 10 月

目 次

1. 主論文

回路シミュレーションのためのキャリア走行遅延を考慮した
MOSFET モデル

中山 範明

2. 公表論文

(学術論文)

- (1) "A Self-Consistent Non-Quasi-Static MOSFET Model for Circuit Simulation Based on Transient Carrier Response"
N. Nakayama, H. Ueno, T. Inoue, T. Isa, M. Tanaka and M. Miura-Mattausch
Japanese Journal of Applied Physics Vol. 42, Part 1, No. 4B, April 2003 pp. 2132–2136.

(国際会議論文)

- (2) "A Self-Consistent Non-Quasi-Static MOSFET Model for Circuit Simulation Based on Transient Carrier Response"
N. Nakayama, H. Ueno, T. Inoue, T. Isa, M. Tanaka and M. Miura-Mattausch
Ext. Abs. Int. Conf. Solid-State Devices and Materials, Nagoya, Japan, pp. 408-409, 2002.

3. 参考論文

(学術論文)

- (1) "Circuit-Simulation Model of C_{gd} Changes in Small-Size MOSFETs Due to High Channel-Field Gradients"
D. Navarro, H. Kawano, K. Hisamitsu, T. Yamaoka, M. Tanaka, H. Ueno,
M. Miura-Mattausch, H. J. Mattausch, S. Kumashiro, T. Yamaguchi, K. Yamashita, and
N. Nakayama
IEICE Trans. Fund. Electron., Vol. E86-C, No. 3, pp. 474-480, 2003.
- (2) "Impurity-Profile-Based Threshold-Voltage Model of Pocket-Implanted MOSFETs for Circuit Simulation"
H. Ueno, D. Kitamaru, K. Morikawa, M. Tanaka, M. Miura-Mattausch, H. J. Mattausch,
S. Kumashiro, T. Yamaguchi, K. Yamashita, and N. Nakayama,
IEEE Trans Electron Devices, vol. 49, no. 10, pp. 1783-1789, Oct. 2002.
- (3) "Simple Nondestructive Extraction of the Vertical Channel-Impurity Profile of Small-Size Metal-Oxide-Semiconductor Field-Effect Transistors"
Hans Juergen Mattausch, M. Suetake, D. Kitamaru, M. Miura-Mattausch, S. Kumashiro, N. Shigyo, S. Odanaka, and N. Nakayama,
Applied Physics Letters, Vol. 80, No. 16, pp. 2994-2996, 2002.

- (4) "Circuit Simulation Models for Coming MOSFET Generations"
M. Miura-Mattausch, H. Ueno, H. J. Mattausch, S. Kumashiro, T. Yamaguchi, K. Yamashita, and N. Nakayama,
IEICE Trans. Fund. Electron., Vol. E85-A, No. 4, pp. 740-747, 2002.
- (5) "Physical Modeling of the Reverse-Short-Channel Effect for Circuit Simulation"
M. Miura-Mattausch, M. Suetake, H. J. Mattausch, S. Kumashiro, N. Shigyou, S. Odanaka, and N. Nakayama,
IEEE Trans. Electron Devices, Vol. 48, No. 10, pp. 2449-2452, 2001.
- (国際会議論文)
- (6) "HiSIM: A MOSFET Model for Circuit Simulation Connecting Circuit Performance with Technology"
M. Miura-Mattausch, H. Ueno, M. Tanaka, H. J. Mattausch, S. Kumashiro, T. Yamaguchi, K. Yamashita, N. Nakayama
2002 International Electron Devices Meeting TECHNICAL DIGEST, pp. 109-112, 2002
- (7) "HiSIM: Self-Consistent Surface-Potential MOS-Model Valid Down to Sub-100nm Technologies. (Invited)"
M. Miura-Mattausch, H. Ueno, H. J. Mattausch, S. Kumashiro, T. Yamaguchi, K. Yamashita, and N. Nakayama,
Proc. Modeling and Simulation of Microsystems, pp. 678-681, 2002.
- (8) "A Practical Small-Signal Equivalent Circuit Model for RF-MOSFETs Valid up to the Cut-Off Frequency"
H. Kawano, M. Nishizawa, S. Matsumoto, S. Mitani, M. Tanaka, N. Nakayama, H. Ueno, M. Miura-Mattausch, and H. J. Mattausch,
IEEE Int. Microwave Sym. Digest, pp. 2121-2124, 2002.
- (9) "Drift-Diffusion-Based Modeling of the Non-Quasistatic Small-Signal Response for RF-MOSFET Applications"
H. Ueno, S. Jinbou, H. Kawano, K. Morikawa, N. Nakayama, M. Miura-Mattausch, and H. J. Mattausch,
Proc. Int. Conf. Simulation Semicon. Processes & Devices, pp. 71-74, 2002.
- (10) "Analysis of Non-Quasistatic Contribution to Small-Signal Response for Deep Sub-um MOSFET Technologies"
S. Jinbou, H. Ueno, H. Kawano, K. Morikawa, N. Nakayama, M. Miura-Mattausch, and H. J. Mattausch,
Ext. Abs. Int. Conf. Solid-State Devices and Materials, Nagoya, Japan, pp. 26-27, 2002.

4. 謝辞

主 論 文

回路シミュレーションのためのキャリア
走行遅延を考慮した MOSFET モデル

中山 範明

広島大学大学院先端物質科学研究科
量子物質科学専攻

2003 年 10 月

目次

序論	1
第1章 歴史的背景および本研究の目的とその位置付け	4
1.1 MOS集積回路の歴史	4
1.2 デバイス解析技術	5
1.3 回路シミュレータ	6
1.4 回路シミュレータ用トランジスタモデル	7
1.5 本研究の位置付け	7
参考文献	8
第2章 回路シミュレーションにおけるMOSFETモデル	11
2.1 回路シミュレーション	11
2.2 回路シミュレータとMOSFETモデルの関係	12
2.3 MOSFETの基本方程式	13
2.4 回路シミュレーションで用いられるQuasi-Static MOSFETモデル	15
2.4.1 電荷量記述式とドレイン電流記述式	15
2.4.2 ドリフト近似モデル	18
2.4.3 表面ポテンシャルモデル: HiSIM	20
2.5 回路シミュレーションで用いられるNon-Quasi-Static MOSFETモデル	21
2.5.1 Quasi-Static MOSFETモデルを用いた過渡解析	21
2.5.2 高速動作におけるQuasi-Static MOSFETモデルの限界	23
2.5.3 従来のNon-Quasi-Static MOSFETモデル	26
参考文献	30
第3章 2次元デバイスシミュレータを用いたMOSFETの過渡解析	32
3.1 2次元デバイスシミュレータと計算対象としたMOSFET構造	32
3.2 チャンネル内の表面電位応答	33
3.3 MOSFETのturn-on過渡特性	33
3.3.1 チャンネル内のキャリア応答	33
3.3.2 過渡電流特性	35
3.4 MOSFETのturn-off過渡特性	38
3.5 MOSFET過渡解析のまとめ	40
参考文献	41
第4章 Non-Quasi-Staticモデルの開発	42
4.1 過渡電流の基本式	42
4.2 キャリア密度分布のモデル化	43

4.3	キャリア走行時間のモデル化	44
4.3.1	Charging 遅延 τ_{chrg}	45
4.3.2	Conductive 遅延 τ_{cndt1}	46
4.3.3	Conductive 遅延 τ_{cndt2}	46
4.4	伝導電流による過渡キャリア密度分布モデルの検証	47
4.5	変位電流による過渡キャリア密度分布モデルの検証	50
	参考文献	54
第5章	Non-Quasi-Static モデルによる計算結果	55
5.1	Non-Quasi-Static モデル HiSIM の SPICE3 への組み込み	55
5.1.1	SPICE3 に対する NQS MOSFET モデル HiSIM の入出力情報	55
5.1.2	電極の持つ電荷量と Charge partitioning	56
5.2	SPICE3 による NMOSFET の turn-on 過渡計算	56
5.3	SPICE3 による NMOSFET の turn-off 過渡計算	58
	参考文献	60
第6章	まとめ、および今後の課題	61
6.1	まとめ	61
6.2	今後の課題	62

本文で使用する記号

C_{BD}	バルク・ドレイン間容量
C_{BS}	バルク・ソース間容量
C_{GB}	ゲート・バルク間容量
C_{GD}	ゲート・ドレイン間容量
C_{GS}	ゲート・ソース間容量
C_{OX}	ゲート酸化膜容量
D_n	電子の拡散係数
E_{max}	チャネル方向の最大電界
E_y	チャネル方向の電界
G_n	キャリアの発生速度
I_{DS}	ドレイン・ソース間電流
I_D	ドレイン電流
I_{DC}	定常状態での電流
I_S	ソース電流
j_n	電子電流密度
k	ボルツマン定数
L	ゲート長
L_D	デバイ長
l_d	空乏層幅
N_A	アクセプタ濃度
N_D	ドナー濃度
N_{peak}	基板の最大不純物濃度
N_{sub}	基板濃度
n	電子濃度
n_i	熱平衡状態での真性キャリア濃度
p	正孔濃度
q	素電荷量
Q_B	定常状態での反転層(バルク)電荷量
Q_b	反転層(バルク)電荷量密度
Q_D	定常状態でのドレイン電荷量
Q_d	ドレイン電荷量密度
q_d	過渡状態でのドレイン電荷密度
Q_G	定常状態でのゲート電荷量
Q_g	ゲート電荷量密度
Q_c	定常状態でのチャネル電荷量
q_c	過渡状態でのチャネル電荷量
Q_i	チャネル電荷量密度
Q_n	定常状態でのチャネル電荷密度
q_n	過渡状態でのチャネル電荷密度
Q_S	定常状態でのソース電荷量
Q_s	ソース電荷量密度
q_s	過渡状態でのソース電荷密度
R_{Elmore}	Elmore 抵抗
R_n	キャリアの再結合速度
T	絶対温度
t	時間
t_f	ゲート電圧の立ち下がり時間

t_f	ゲート電圧の立ち上がり時間
T_{ox}	ゲート酸化膜厚
v	キャリア速度
V_{gb}	ゲート・バルク間電圧
V_{bm}	基板の最大電圧
V_{bs}	バルク・ソース間電圧
V_{cb}	チャネル・バルク間電圧
V_{ds}	ドレイン・ソース間電圧
V_{FB}	フラットバンド電圧
V_{gs}	ゲート・ソース間電圧
V_S	ソース電圧
V_{Tideal}	長チャネルでの基板電圧 0 のときの理想的なしきい値電圧
V_{th}	しきい値電圧
v_{sat}	キャリアの飽和速度
W	ゲート幅
X_j	拡散層深さ
X_{dep}	反転層深さ
X_{part}	電荷分割割合
y_f	キャリアフロント位置
β	熱電圧
ϵ_{Si}	シリコンの誘電率
ϕ_s	表面ポテンシャル
ϕ_{s0}	ソース端の表面ポテンシャル
ϕ_{sL}	ドレイン端の表面ポテンシャル
ϕ_n	電子の擬 Fermi ポテンシャル
ϕ_p	正孔の擬 Fermi ポテンシャル
Φ_B	Fermi 準位と真性 Fermi 準位のエネルギー差
μ	キャリア移動度
τ	キャリア緩和時間
τ_{diff}	弱反転領域でのキャリア緩和時間
τ_{drift}	強反転領域でのキャリア緩和時間
τ_{chrg}	charging 遅延
τ_{cndt1}	conductive 遅延 (チャネル未形成時)
τ_{cndt2}	conductive 遅延 (チャネル形成時)

序 論

本研究は MOSFET (Metal-Oxide-Semiconductor Field-Effect-Transistor) に形成されたチャネルにおけるキャリア走行を理解し、この挙動を解析式で記述することにより、回路における正確な過渡解析を可能にする MOSFET モデルの開発を目的としている。

MOSFET はデジタル VLSI 回路のみならずアナログ回路において必須のデバイスとなっている。これらの回路設計においては SPICE (Simulation Program with Integrated Circuit Emphasis) のような回路シミュレーションプログラムが性能を予測するために広く使われている。しかしながら、一般に回路シミュレーションで使われる MOSFET モデルは簡単化のために Quasi-Static(QS) 近似に基づいており、すなわち MOSFET が常に定常状態で動作するものとしてモデル化されている。このために QS-MOSFET モデルが用いられた場合、スイッチング時間がキャリアのチャネル内通過時間に近づくにつれて誤った性能予測を与えるようになり、キャリアの走行時間を考慮した Non-Quasi-Static(NQS)近似に基づくモデルが求められている。特に近年目めざましくなっている MOSFET の微細化による高速動作や RF デバイスの応用には NQS-MOSFET モデルが欠かせないことが認識されている。

この NQS 効果のモデル化に関しては、これまでに MOSFET 内の遅延現象を表現するためにチャネルを n 個の断片に分割し、 n 個の独立な MOSFET から成るものとして現象論的にモデル化されている。このモデルでキャリアの過渡現象を正しく表現するには n が 5 以上必要であると報告されている。このためこのモデル記述では考慮すべきトランジスタの数が多くなり計算に多大の時間を要することが問題である。他のモデルとしてチャネル電荷応答を緩和時間で近似し、等価回路を使って解く手法がある。しかしこのモデルは NQS 効果によって生ずるチャネル内の電荷欠乏を表現することができない。このように要求が高いにもかかわらず実用に耐えるモデルは未だ開発されていないのが現状である。

本研究では MOSFET のキャリア応答遅延を数値的に解く 2 次元デバイスシミュレーションを用いて解析することによって、トランジスタ内の電位応答やキャリア分布の時間依存性を理解した。得られた情報をもとにして、半導体デバイスの基本式である電流連続方程式と電流密度方程式を満足するキャリア分布を解析式で表すことに成功した。すなわちキャリア応答遅延を考慮することによってトランジスタ内のキャリア密度分布を時間と位置の関数として表し、これを基に回路シミュレーション用の NQS-MOSFET モデルを構築した。

本論文の第 1 章では、半導体集積回路とその解析技術の歴史的背景について述べ、次いで解析技術で重要な役割を果たす回路シミュレータとそれに必要なトランジスタモデルについて述べるとともに、本研究のテーマである NQS モデルの研究開発の必要性について述べている。

第 2 章では MOSFET の基本方程式とこれに基づいた QS-MOSFET モデルの記述法について述べている。さらに QS-MOSFET モデルでの高速動作における解析の限界と、それに代わる従来の NQS-MOSFET モデルが計算時間や物理現象を正確に表現していないことを述べている。

第 3 章では新しい NQS-MOSFET モデルの研究に当り、トランジスタ内のキャリア過渡応答を理解するため、2 次元デバイスシミュレーションを用いてゲート端子に時間変化する電圧を印加した場合の NMOSFET 内の過渡状態を解析し、以下の知見を得たことを述べている。

1. ゲート電圧の立ち上がりおよび立ち下がり速度の違いは、ゲート電圧が同じであってもチャネル内の電位分布にわずかな違いを生じている。これがチャネル内キャリア分布を決定している。しかし、この違いは小さいのでゲート電圧に対して瞬時に分布が決まっていると考えられる。つまり、チャネル内電位はゲート電圧の時間変化に即座に応答するとしてよい。
2. QS（定常状態）を仮定した回路シミュレーションの計算では、いかなる状態であっても電荷はドレインに達しておりチャネルが形成されている。ところが過渡計算でゲート電圧が立ち上がっている初期状態ではキャリアの先端がドレインに到達していない。
3. キャリアの先端がドレインに到達している場合でもそうでない場合でも、チャネルに沿ったキャリア密度分布はソースからドレインに向けて直線的に減少していると近似できる。
4. キャリアの先端がドレインに到達していない場合、ゲート電圧が一定速度で増加すれば電荷の先端はおおまかに一定速度でドレインに近づいて行く。この時の速度はほぼ飽和速度と考えられる。この場合のチャネル走行時間を τ_{cndt1} と呼ぶこととした。
5. ソースからチャネルにキャリアが流入する際、遅延が生じることが明らかになった。これは要求されるチャネル内の全電荷を確保する為にソースからチャネル側にキャリアを押し出す力が必要なためと考えられる。この場合の遅延時間を τ_{chrg} と呼ぶことにした。

第4章では、第3章で得られた知見をもとに、新しい NQS MOSFET モデルの考え方とそのモデルの内容について述べている。すなわち、下式で表される電流連続方程式と電流密度方程式から得られる過渡ドレイン電流に対して、本研究ではキャリアから成る総チャネル電荷量 $q_c(t)$ を解析式で近似することとした。

$$I(L,t) = q \frac{W}{L} \mu \int_{\phi_{s0}}^{\phi_{sL}} n(y,t) d\phi(y,t) + q \frac{W}{L} \int_0^L \int_0^t \frac{dn(y',t')}{dt} dy' dy \quad (1a)$$

$$= I_0(t) + \frac{dq_c(t)}{dt}, \quad (1b)$$

ここで L 、 W はチャネル長およびチャネル幅、 q は電子電荷、 ϕ_{s0} と ϕ_{sL} はそれぞれソースとドレイン端での表面電位である。 $n(y,t)$ はチャネル内位置 y 、時間ステップ t でのキャリア密度、 $q_c(t)$ は時間ステップ t での総チャネル電荷である。

まず、過渡的な電荷密度を表すため 2 次元シミュレーションから得られた遅延時間を用い、ソース端およびドレイン端での電荷密度 $q_n(0,t_i)$ と $q_n(L,t_i)$ を以下のように表すこととした。

$$q_n(0,t_i) = q_n(0,t_{i-1}) + \frac{t_i - t_{i-1}}{\tau_{\text{chrg}}} [Q_n(0,t_i) - q_n(0,t_{i-1})] \quad (2)$$

$$q_n(L,t_i) = q_n(L,t_{i-1}) + \frac{t_i - t_{i-1}}{\tau_{\text{cndt2}}} [Q_n(L,t_i) - q_n(L,t_{i-1})] \quad (3)$$

ここで $Q_n(0,t_i)$ と $Q_n(L,t_i)$ は定常状態でのソース、ドレイン端でのキャリア密度である。 τ_{cndt2} はキャリアのソースからドレインへの走行時間であり、チャンネル内の平均速度から解析的に求められる。なおキャリアの先端 y_f がドレインに達していない場合は $q_n(L,t_i)=0$ であり、 y_f は次式で表される。

$$y_f(t_i) = y_f(t_{i-1}) + \frac{t_i - t_{i-1}}{\tau_{\text{cndt1}}(t_i)} L \quad (4)$$

式(2)~(4)と、2次元デバイスシミュレーションからのチャンネル内のキャリア分布が直線で近似できるとの知見により、総チャンネル内キャリア量 $q_c(t)$ をキャリアの先端 y_f がドレインに達していない場合は $q_n(0,t_i)$ と y_f による3角形面積で、ドレインに達している場合は $q_n(0,t_i)$ 、 $q_n(L,t_i)$ と L による台形面積で近似した解析式で表わすこととした。第4章ではさらにこの解析式を用い、式(1b)第1項の伝導電流と第2項の変位電流をそれぞれ個別に計算し、2次元シミュレーションとの比較結果を述べ、新しいモデルの有効性を示している。

第5章では、本モデルを表面電位モデル HiSIM (Hiroshima-univ. STARC IGFET Model) に組み込み、さらにこれを NQS-MOSFET モデルとして SPICE3 に組み込み、回路シミュレーションを可能としたことについて述べている。これを用いて NMOSFET の turn-on および turn-off の過渡解析を SPICE3 で行い、2次元シミュレーションと比較し良く一致することを確認した。

第6章では、まとめと今後の課題として以下の点を述べている。

1. トランジスタ内のキャリア電荷量にキャリア応答遅延を考慮することにより NQS-MOSFET モデルを解析式で表すことに成功した。これによりトランジスタの過渡現象を忠実に表現することができた。これにより高速動作条件においても正確な回路性能を予測することが可能となった。
2. 本 NQS MOSFET モデルの式は簡便な式であり、またプログラムステップも少なく、他の NQS モデルが QS モデルに比べ最低 30%程度計算時間が増加するのに対して、本モデルは QS モデルに対して数%の増加に止まり、高速計算が可能となった。
3. より精度の高いモデルとするには、チャンネル内キャリア密度分布を直線的にすると近似したが、これをチャンネル中央部で凸になるように拡張することによって更なる高精度化を図る。

第1章 歴史的背景および本研究の目的とその位置付け

1.1 MOS集積回路の歴史

半導体デバイスの発明は、Shockleyらが1947年に金属とn形およびp形Siとの間の接触電位差を調べる実験の中で偶然発見された電気特性に始まる。1948年にJ.BardeenとW.H.BrattainはGeダイオードの接触点周辺の電位を測定するために、プローブとして細い針をもう一本立て、障壁にバイアスを加えて実験しているうちに、2本の針の間に相互作用を発見し、一方の針の逆方向電流が他方の針の順方向電流によって大きく影響されることが見いだした。これが点接触形バイポーラトランジスタなのである[1]。1950年にはGe単結晶が引き上げ法により作られるなり、その引き上げ途中で2回不純物をドーピングする成長型のバイポーラが作られ、1951年には生産が開始され急速に普及していった。その後Bell研究所にてSiの固体拡散の基礎研究が行われ、1956年にはこの拡散法を用いたバイポーラトランジスタが発表された[2]。1960年代にはそれまでの拡散技術に加えエピタキシャル成長技術、リソグラフィ技術が開発され、バイポーラトランジスタは、Siを熱酸化して得られるSiO₂がSiへの不純物拡散に対してマスク作用をすることで知られるプレーナ構造の時代に入った。このトランジスタ技術の発達は、1枚のSiウェーハ上にすべての素子を組み込んで配線まで完了した半導体集積回路の出現を可能にした。

一方、1960年にはKahngらによって金属-酸化膜-半導体(Metal-Oxide-Semiconductor: MOS)から構成される電界効果トランジスタ(Field-Effect Transistor: FET)が発表された[3]。バイポーラトランジスタは不純物としてボロンなどを含むp型Siとリンなどを含むn型の接合を結合させたデバイスであるため2種類のキャリアが伝導に寄与するのに対し、MOSFETは酸化膜下に反転層を形成してチャネルとすることで、1種類のキャリアが電気伝導に寄与するデバイスである。MOSFETは接合形トランジスタに比べ構造が単純なことから製造工程が簡単で集積化に向いており、また電圧型のデバイスであるため入力インピーダンスが高くとれると同時に消費電力が少ないという利点がある。その後MOSFETの製造にとって課題であった薬品やガスの高純度化、酸化膜中のアルカリ金属ゲッターリング効果の発見により、安定な酸化膜/半導体界面の製造が可能となり、今日の集積回路の基礎が確立された。

1960年代には、MOS集積回路は、ゲート長15 μm のn型Siを用いて、反転層内にキャリアとしてホールを集めたpチャネルMOSFETを10~20個程度集積化したものであり、電卓に応用された。続いて、MOSFETが400個程度の64ビットシフトレジスタが製造された。1970年代になると、イオン打ち込み技術により素子分離としきい値電圧制御が容易になり、それまで困難であったキャリアが電子のnMOSの集積化が可能となった。これにより電子の高速性を利用したnMOS集積回路が主流となり、マイクロプロセッサや半導体メモリが出現した。最初のマイクロプロセッサは4ビット、半導体メモリは256ビットのスタティックRAM(Random Access Memory)やROM(Read Only Memory)程度であった。この頃の半導体メモリは3個のトランジスタより成る1024ビットダイナミックRAM(DRAM)が作られたが回路およびデバイス構造が改良されるにつれ4096ビットからは1個のトランジスタと1個の容量で構成されるようになった。またホットキャリアが半導体表面からゲート酸化膜中に注入する現象を使ったEPROM(Electrical Programmable Read Only Memory)も誕生した。その後マイクロプロセッサは8ビット、DRAMは16K、64ビットに進化していき、集積回路の規模は3年で4倍の割合で大規模化していくことになった。1980

年代には高集積化により消費電力が問題になりマイクロプロセッサの16ビット、DRAMの1Mビットを境に相補形MOS (Complementary MOS: CMOS)が導入されるようになり、低消費電力や回路の安定動作に寄与してきた。1990年代よりほとんどがCMOSで高集積化が図られてきている。

図1.1にMOSFETのゲート長の推移を2001年版国際半導体ロードマップ[4]の資料に最新の情報を加えて書き直したものを示す。図1.1で示すように微細化は寸法で2倍/3年、面積で4倍/3年で現在まで推移してきた。現在、130nmテクノロジーにより374mm²のチップに4.1億個のトランジスタを集積したプロセッサが発表されている[5]。また、現状での最小デバイスとしてゲート長6nmの動作が確認されている[6]。微細化の困難さから、今後は集積度向上のスピードは緩まることが予想されているが、今後もMOS集積回路の大規模化が進むことに疑いがない。

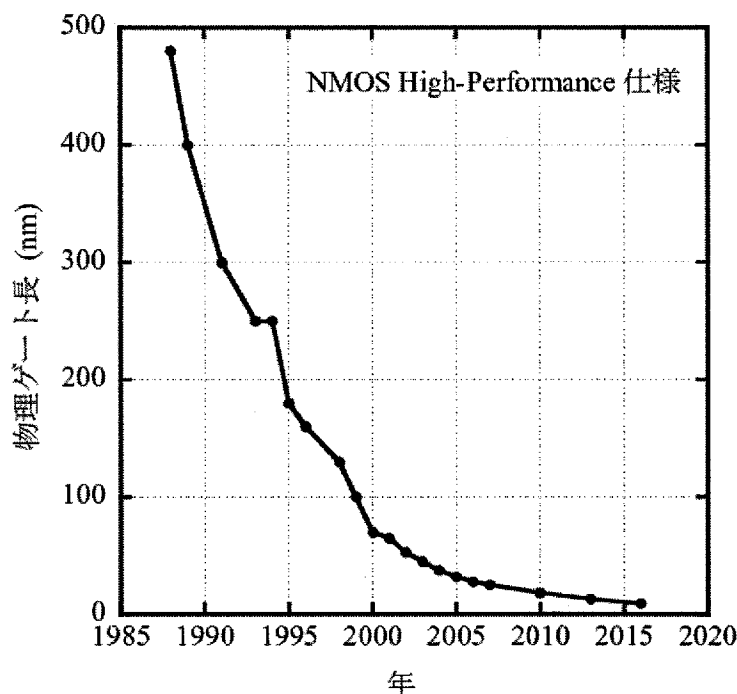


図 1.1 MOSFET ゲート長の推移

1.2 デバイス解析技術

これらのデバイスの微細化と高集積化は製造技術の進歩とともに、半導体理論に基づいたデバイス解析技術と集積回路設計のためのCADツールの進歩によって実現されてきたと言っても過言ではない。デバイス解析技術は次世代デバイスの研究開発において、デバイスの性能評価や構造の評価に用いられるものである。集積回路設計ツールとしては、ゲートレベルの論理回路の動作を模擬する論理シミュレータ、論理回路より上位の設計で用いる機能シミュレータ、トランジスタレベルの回路特性を正確に解析する回路シミュレータや配置配線ツールなどがある。ここでは本研究のデバイスモデルにかかわるデバイス解析技術と回路シミュレータについて述べる。

デバイス解析技術については、大型計算機が使われる前の1952年に、Shockleyは単極性電界効果トランジスタ特性を簡単な線形近似が成り立つ領域に分解し、適切な境界条件のもとで求めた解を再び合成するデバイス解析手法を発表した[7]。その後Gummelは1964年に1次元の定常モデ

ルを Si バイポーラトランジスタに適用した数値シミュレーション法を発表した[8]。次いで 1964 年には Scharfetter と Gummel は Si Read(IMPATT)ダイオード 1 次元数値モデルを発表した[9]。この中で、電流連続式を正確に解くために導入した多くの計算手法は数値シミュレーションの基本的な技法として現在に受け継がれている。電界効果トランジスタの解析としては Kennedy らが 1970 年にシリコン接合型 FET の 2 次元シミュレーションを行い、短チャネル効果の現象を解析した[10]。1970 年代末からは本格的に MOSFET 特性の数値解析に力が注がれるようになっていった[11-14]。デバイスの微細化につれて、高電界、高キャリア密度勾配、高電流密度条件下でデバイスが動作するようになり、おのずと非平衡な輸送条件でのデバイス動作の解析が必要になってきた。従来の電流をマクロに記述したドリフト・拡散モデルではキャリアがエネルギーを得る過程を説明できないので、サブミクロン素子や高周波デバイスでは非定常状態の輸送現象が扱えるモデルとしてモンテカルロ法[15,16]がデバイス研究に用いられるようになってきた。

1.3 回路シミュレータ

上述のデバイス解析に使われるモデルは物理的デバイスモデルと呼ばれるものであり、キャリア輸送方程式（ボルツマン輸送モデル）もしくは量子輸送方程式を数値的に解くものである。キャリア輸送の物理に基づいて、デバイスの詳細な動作に関する知見を得ることができ、新しいデバイスの特性を予測できるなどの利点がある。しかしながらデバイス特性を数値解法により解くため多大の計算時間と大容量のメモリを必要とする。

ここで扱う回路シミュレータは、トランジスタレベルの回路特性を正確に解析するツールで、回路網を解く計算アルゴリズムとデバイスモデルの精度がポイントとなる。計算法には電気回路網の定式化、微分方程式の数値積分解法、非線形回路の反復解法、大規模連立方程式の高速解法が含まれる。回路解析は入力電圧、電流に対して回路網の節点および枝路の電圧、電流を計算するものであり、回路の基本方程式はキルヒホッフの電圧・電流則に従って構成される。一般に回路シミュレータが行う解析には DC 解析、AC 解析および過渡応答解析がある。DC 解析は直流入力を変化させて出力電圧および電流を求める直流伝達特性を解析するものである。AC 解析は入力振幅の小振幅の正弦波を変えて入出力伝達特性の振幅、位相の周波数特性を解析する。過渡応答解析はパルス入力のような任意の信号波形入力に対する出力パルスの立ち上がり、立ち下がり時間や遅延時間を計算するものである。1960 年代前半には小規模の電子回路の DC、AC および過渡解析が行われた。NET-1 や ECAP[17]が有名である。1970 年代には汎用性や解析の精度を重視したシミュレータが開発されていった。特に大規模スパース行列処理を中心に数値計算の高速化、Gear 法などの高速高精度の数値積分法の導入が進められた。これにより実用規模で有効な精度の回路解析が可能になり、回路シミュレータの利用が一般的になるとともに重要性も増してきた。LSI の進歩とともに設計に不可欠のものになった代表的なシミュレータに ECAPII、ASTAP[18]、SPICE[19]、SPICE2[20]がある。特に SPICE2 は 1975 年に発表されて以来改良が続けられ、1991 年の SPICE3 f5 版[21]が最終版となった。SPICE は回路シミュレータの代名詞のようになり現在でも広く使用されている。

1.4 回路シミュレータ用トランジスタモデル

回路シミュレータに組み込まれているトランジスタモデルには半導体デバイスの特性を表現する方法として、関数で表現する方法、テーブル形式で記述する方法、特定のモデルを組み込みそのパラメータを与える方法がある。MOS トランジスタではこれらのモデルのもとになる半導体デバイスの理論的モデルとして、1960 年代末より発表された Shichman-Hodges モデル[22]、Frohmman-Bentchkowsky モデル[23]、El-Mansy-Boothroyd モデル[24]などがある。SPICE2 では Shichman-Hodges モデルを LEVEL1、Meyer モデル[25]を LEVEL2、Dang モデル[26]を LEVEL3 として選択できるようにしている。LEVEL3 にはフィッティングパラメータが含まれており、実測の特性に合うようにパラメータを合わせ込めるようになっている。この考え方は今日も広く用いられている。LEVEL3 ではゲート長 $2\mu\text{m}$ までしか対応できなかった。1989 年に SPICE2 から SPICE3 に改良され[27]、MOSFET モデルにゲート長 $1\mu\text{m}$ まで対応できる BSIM (The Berkeley Short-Channel IGFET Model)1 [28]が、次いでゲート長 $0.2\mu\text{m}$ まで対応できる BSIM2[29]が追加された。現在では 100nm レベルに対応し、また Non-Quasi-Static モデルを追加した BSIM3[30]、さらに RF 機能を強化した BSIM4[31]が SPICE3 のモデルとして提供され現在に至っている。しかしながらそれまでのモデルがドリフト近似をもとにしているため、拡散とドリフトの式をつなぎ合わせる、いわゆる piece-wise モデルであること、またデバイスの構造が複雑化してきたためパラメータが約 500 個にも増加し、モデル式とパラメータの物理的な意味がなくなっており、ドリフトモデルの不完全さが顕著になってきた。この改良のためにドリフト-拡散モデルの取り組みがなされ、1990 年半ばにゲート長 $0.2\mu\text{m}$ の回路シミュレーション用モデルが発表された[32]。これが引き金となって 1990 年代後半から HiSIM (Hiroshima-univ. STARC IGFET Model) [33-34]や MOS11[35]、SP2000[36]が相次いで発表された。これらはカットオフ、線形、飽和のすべての領域に対して一つの式で電流を記述しており、unified モデルと呼ばれている。特に HiSIM はドリフト-拡散モデルの基本となる表面ポテンシャルを近似することなく原理に基づいて高速に計算できるよう工夫されている。このため物理に基づいたモデルになっておりパラメータも 100 個程度と少なく、扱えるゲート長範囲の広いことが特徴である。

1.5 本研究の位置付け

図 1.2 に 2001 年版国際半導体ロードマップ[4]の資料をもとに作成した MOSFET 性能および回路性能推移を示す。デバイスの微細化により現状では MOSFET の充放電時間が 1ps を切り、回路のクロック周波数が GHz の領域に入ってきている。

このような高速動作ではトランジスタ動作の正確な予測に加えて、配線間容量によって生じるクロストークノイズの影響や、配線抵抗による遅延などを高精度に見積もった回路設計が必要となる。これらのシミュレーションは一般に過渡応答解析により行われる。トランジスタ動作の予測では、上述してきたトランジスタモデルは通常 Quasi-Static モデルと呼ばれ、定常状態のトランジスタ特性を計算して回路シミュレータに渡している。このため第 2 章で詳しく述べるように、入力の立ち上がりや立ち下がりが急速になると、モデルがトランジスタ内部の過渡状態を表現していないために実際の回路的な遅延特性を正確に計算できなくなる[37]。このことからトランジスタ自身の過渡状態を計算できる、いわゆる Non-Quasi-Static モデルが 1960 年代後半より[38 -39]

数多く開発されてきた。しかしながら、従来のモデルでは過渡状態の記述式が複雑、計算時間が Quasi-Static モデルに比べ数倍になる、入力信号の立ち上がり開始直後に見られるようなソース・ドレイン間にチャンネルが形成されていない状態を表現できない、等の欠点がある。

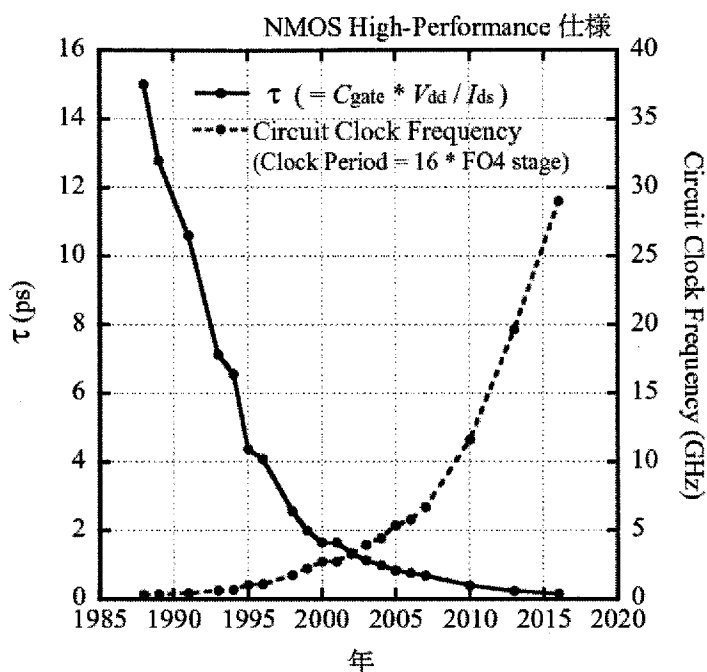


図 1.2 MOSFET 性能および回路性能推移

本研究では特に MOSFET のキャリア応答現象の理解を図るとともに、90nm テクノロジ以降の高速動作回路の設計に対応できる回路シミュレーション用 Non-Quasi-Static MOSFET モデルを開発することを目的とした。具体的には、

- (1) 2次元デバイスシミュレータにより MOSFET の過渡解析を行い、トランジスタ内のキャリア応答現象を理解すること
- (2) 上記から得られた知見をもとに半導体基本方程式に近似を適用した Non-Quasi-Static MOSFET モデルの定式化
- (3) Non-Quasi-Static MOSFET モデル式のドリフト-拡散モデル HiSIM への組み込み
- (4) SPICE3 による MOSFET 過渡解析による新しい Non-Quasi-Static MOSFET モデルの評価

などを行った。

参考文献

- [1] J.Bardeen and W.H. Brattain: "The Transistor, A Semiconductor Triode", Phys. Rev.,74 , pp.230 (1948)
- [2] M. Tanenbaum and D.E. Thomas: "Diffused Emitter and base Silicon Transistor", Bell Syst. Tech. J., 35 , pp.1 (1956)
- [3] D. Kahng and M.M. Atalla: "Silicon-Silicon Dioxide Field Induced Surface Devices",IRE Solid-State

- Device Res. Conf., Carnegie Institute of Technology, Pittsburgh, Pa., 1960
- [4] "International Technology Roadmap for Semiconductors 2002 Update", Semiconductor Industry Association, (2002)
 - [5] J. Stinson and S. Rusu: "A 1.5GHz Third Generation Itanium Processor", 2003 IEEE International Solid-State Circuits Conference Digest of Technical Papers, Vol.46, pp.252-253 (2003)
 - [6] B. Doris, M. Jeong, T. Kanarsky, Y. Zhang, R.A. Roy, O. Dokumaci, Z. Ren, F-F. Jamin, L. Shi, W. Natzle, H.-J. Huang, J. Mezzapelle, A. Mocuta, S. Womack, M. Gribelyuk, E.C. Jones, R.J. Miller, H.-S.P. Wong, and W. Haensch: "Extreme Scaling with Ultra-Thin Si Channel MOSFETs", 2002 International Electron Devices Meeting TECHNICAL DIGEST, pp. 267-270, 2002
 - [7] W. Shockley: "A Unipolar 'Field Effect' Transistor", Proc. IRE, pp.1365-1377, (1952)
 - [8] H.K. Gummel: "A Self-consistent iterative scheme for one-dimensional steady state transistor calculations", IEEE Trans. Electron Devices, ED-20, pp.455-465, (1964)
 - [9] D.L. Scharfetter and H.K. Gummel: "Large-signal analysis of silicon Read diode oscillator", IEEE Trans. Electron Devices, ED-16, No.1, pp.64-67, (1969)
 - [10] D.P. Kennedy and R.R. O'Brien: "Computer-aided two-dimensional analysis of the junction field effect-transistor", IBM J. Res. Dev., Vol.14, pp.95-116 (1970)
 - [11] T. Toyabe, K. Yamaguchi, S. Asai and M.S. Mock: "A Numerical model of avalanche breakdown in MOSFETs", IEEE Trans. Electron Devices, ED-25, pp.825-832 (1978)
 - [12] H. Oka, K. Nishiuchi, T. Nakamura, and H. Ishikawa: "Two-dimensional numerical analysis of normally-off type buried channel MOSFETs", IEEE Proc. Int. Electron Devices Meeting, pp.30-33 (1979)
 - [13] A. Schutz, S. Selberherr, and H.W. Potzl: "Numerical analysis of breakdown phenomena in MOSFETs", Proc. NASECODE II, Dublin, Boole Press, pp.270-274 (1981)
 - [14] K. Yamaguchi: "A time-dependent and two-dimensional numerical model for MOSFET device operation", Solid-State Electron., Vol.26, No.9, pp.907-916 (1983)
 - [15] J. Ruch: "Electron dynamics in short channel field effect transistors", IEEE Trans. Electron Devices, ED-19, pp.652-659 (1972)
 - [16] P.E. Bauhann, G.I.Haddad, and N.A. Masnari: "Comparison of the hot electron diffusion rates for GaAs and InP", Electronic Letters, Vol.9, No.19, pp.460-461 (1973)
 - [17] R.W. Jensen and M.D. Lieberman: "IBM Electronic Circuit Analysis Program", Prentice-Hall (1964)
 - [18] W.T. Weeks et al.: "Algorithms for ASTAP-A Network Analysis Program", IEEE Trans. Circuit, Theory, CT-20, 6, pp.628-634 (1973)
 - [19] L.W. Nagel and D.O. Pederson: "SPICE, Simulation Program with Integrated Circuits Analysis", Electronics Research Lab. Memorandum, No.ERL-M 382, Univ. of California, Berkeley (1973)
 - [20] L.W. Nagel: "SPICE2, A Computer Program to Simulate Semiconductor Circuits", Electronics Research Lab. Memorandum, No.ERL-M 520, Univ. of California, Berkeley (1975)
 - [21] <http://www.gigascale.org/pubs/downloads/spice/index.htm>
 - [22] H. Shichman and D.A. Hodges: "Modeling and Simulation of Insulated-gate Field-effect Transistor

- Switching Circuits", IEEE J. Solid-State Circuits, SC-3, No.3, pp.285-289, (1968)
- [23] D. Frohman-Bentchkowsky and L. Vadasz: "Computer-aided Design and Characterization of Digital MOS Integrated Circuits", IEEE J. Solid-State Circuits, SC-4, No.2, pp.57-64, (1969)
- [24] El-Mansy and Y.A. Boothroyd: "A New Approach to the Theory and Modeling of IGFET's", IEEE Trans. Electron Devices, ED-24, pp.241-253 (1977)
- [25] J.E. Meyer: "MOS Models and Circuit Simulation", RCA Rev., 32 (1971)
- [26] L.M. Dang: "A Simple Current Model for Short Channel IGFET and its Application to Circuit Simulation", IEEE J. Solid-State Circuits, SC-14, (1979)
- [27] T.J. Quarles: "The SPICE3 Implementation Guide", Electronics Research Lab., Rep No.ERL-M44, Univ. of California, Berkeley (1989)
- [28] B.J. Sheu: "MOS Transistor Modeling and Characterization for Circuit Simulation", Electronics Research Lab., Rep No.ERL-M85/85, Univ. of California, Berkeley (1985)
- [29] M.-C Jeng: "Design and Modeling of Deep-Submicrometer MOSFETS", Electronics Research Lab., Rep No.ERL-M90/90, Univ. of California, Berkeley (1990)
- [30] W. Liu, X. Jin, J. Chen, M.-C. Jeng, Z. Liu, Y. Cheng, K. Chen, M. Chan, K. Hui, J. Huang, R. Tu, P.K. Ko and C. Hu: "BSIM3v3.2.2 MOSFET Model Users' Manual", Department of Electrical Engineering and Computer Sciences, University of California, Berkeley (1999)
- [31] X. Xi, K.M. Cao, H. Wan, M. Chan, C. Hu, W. Liu, X. Jin, J. Ou: " BSIM4.2.1 MOSFET Model-User's Manual", Department of Electrical Engineering and Computer Sciences, University of California, Berkeley (2001)
- [32] M. Miura-Mattausch, U. Feldmann, A. Rahm, M. Bollu, and D. Savignac: "Unified complete MOSFET model for analysis of digital and analog circuits", IEEE Trans. CAD/ICAS 15 pp.1-7 (1996)
- [33] M. Miura-Mattausch, H.J. Matausch, N.D. Arora, and C.Y. Yang: "MOSFET Modeling gets physical", IEEE Circuit & Devices 17 [6] pp.29-36 (2001)
- [34] M. Miura-Mattausch, H. Ueno, H.J. Matausch, S. Kumashiro, T. Yamaguchi, K. Yamashita and N. Nakayama: "Circuit Simulation Models for Coming MOSFET Generations", IEICE Fundamentals E85-A [4] pp.740-748 (2002)
- [35] http://www.semiconductors.philips.com/Philips_models
- [36] T.L. Chen and G. Goldenbalt: "Analytical Approach for the MOSFET Surface Potential", Solid-State Electron. 45, pp.335-339 (2001)
- [37] Y. Tsididis: "Operation and Modeling of The MOS Transistor", 2nd edition (New York, McGraw-Hill, 1999).
- [38] Z.S. Gribnikov and Y.A. Tkhonik: "Calculation of the transient process in field triodes with an insulated gate for the saturated mode operation", Radio Engineering and Electronic Physics, Vol.11, pp.776-781 (1996).
- [39] J.R. Burns: "Large-signal transit-time effects in the MOS transistor", RCA Review, Vol.15, pp.15-35 (1969)

第2章 回路シミュレーションにおける MOSFET モデル

2.1 回路シミュレーション

回路は多くのトランジスタや抵抗、容量等のデバイスから構成されるネットワークである。このネットワーク全体は Kirchhoff の第 1 法則に従う。従ってネットワーク内のノードでは、流出する電流の和は流入する電流の和に等しい。図 2.1 に 3 個のデバイスより構成される回路について示す。それぞれのデバイスは 3 個のノードを持つとすると、ネットワーク全体では 4 個のノードを必要とする。ここで 4 番目のノードは接地されており、以後このノードは考慮しない。

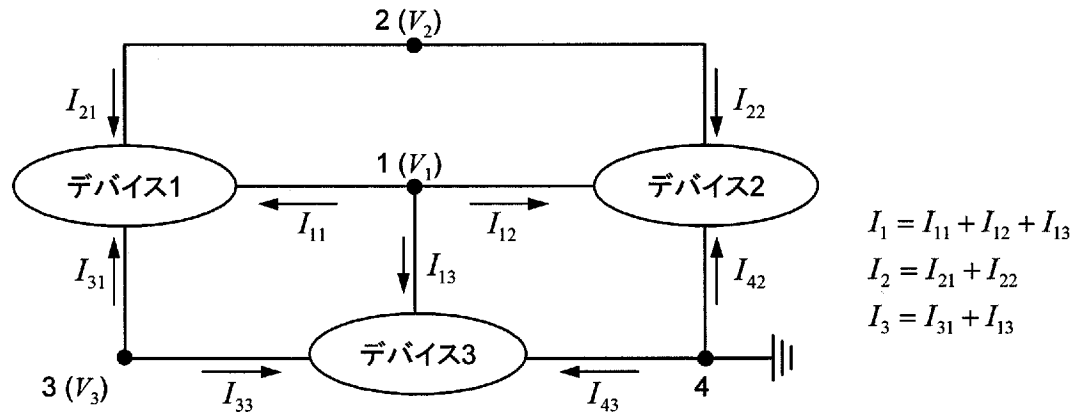


図 2.1 回路ネットワーク図

回路シミュレータはこれらのノードの電位を Kirchhoff の第 1 法則を満足するように求める。これに必要なノード間の電流 I_{12} などは 2.2 節の MOSFET モデルの中で述べる解析式を用いて計算される。ネットワーク全体のノードの電位を求める計算は、まず各構成要素のノードにかかる電圧の初期値を仮定してデバイスモデルからこのときの電流値を計算し、随時 Newton 法を用いて正しい値に近づけていく。m 回目の解を V_m として次の (m+1) 回目の解を Newton 法で求める場合、デバイス 1 に着目すると次式で記述できる。 V_m と V_{m+1} の差が要求される値以下になった時を最終解とする。

$$\begin{bmatrix} +\frac{\partial I_{11}^m}{\partial V_1} & +\frac{\partial I_{11}^m}{\partial V_2} & +\frac{\partial I_{11}^m}{\partial V_3} \\ +\frac{\partial I_{21}^m}{\partial V_1} & +\frac{\partial I_{21}^m}{\partial V_2} & +\frac{\partial I_{21}^m}{\partial V_3} \\ +\frac{\partial I_{31}^m}{\partial V_1} & +\frac{\partial I_{31}^m}{\partial V_2} & +\frac{\partial I_{31}^m}{\partial V_3} \end{bmatrix} \begin{bmatrix} V_1^{m+1} \\ V_2^{m+1} \\ V_3^{m+1} \end{bmatrix} = - \begin{bmatrix} +I_{11}^m \\ +I_{21}^m \\ +I_{31}^m \end{bmatrix} + \begin{bmatrix} +\frac{\partial I_{11}^m}{\partial V_1} & +\frac{\partial I_{11}^m}{\partial V_2} & +\frac{\partial I_{11}^m}{\partial V_3} \\ +\frac{\partial I_{21}^m}{\partial V_1} & +\frac{\partial I_{21}^m}{\partial V_2} & +\frac{\partial I_{21}^m}{\partial V_3} \\ +\frac{\partial I_{31}^m}{\partial V_1} & +\frac{\partial I_{31}^m}{\partial V_2} & +\frac{\partial I_{31}^m}{\partial V_3} \end{bmatrix} \begin{bmatrix} V_1^m \\ V_2^m \\ V_3^m \end{bmatrix} \quad (2.1)$$

他のデバイスについても同様の行列が導かれ、これらを足し合わせた行列を回路シミュレータが解くことになる。

このように回路シミュレータはまず初期値として各ノードの電位を与え、ノードに接続されたこの電位に対してデバイスモデルを用いて電流を計算させる。次いでこれらの電流をもとに回路のノード電位を未知数とした行列方程式を解き、回路全体のノード電圧を求めている。現在使用

されているほとんどの回路シミュレータはカリフォルニア大学バークレー校の Pederson 教授が上述のアルゴリズムを使って開発した SPICE (Simulation Program with Integrated Circuit Emphasis) を母体としており、各種のモデル機能が追加された SPICE2 から広く世界中で使われ出した [1]。

2.2 回路シミュレータと MOSFET モデルの関係

図 2.2(a)は MOSFET の模式図である。MOSFET はゲート、ソース、ドレイン、バルクの電極からなる。MOSFET の動作は、ゲート電圧 V_{gs} を変化させることによって酸化膜下に蓄えられる電荷量 Q_C を制御し、ドレイン電圧 V_{ds} をかけることによりこれを電流として取り出す仕組みである。

回路シミュレータとの関係においては、これらの電極に加えられる電圧は回路シミュレータから与えられ、MOSFET モデルの動作記述式に従って電極に流れる電流を回路シミュレータに返すことになる。

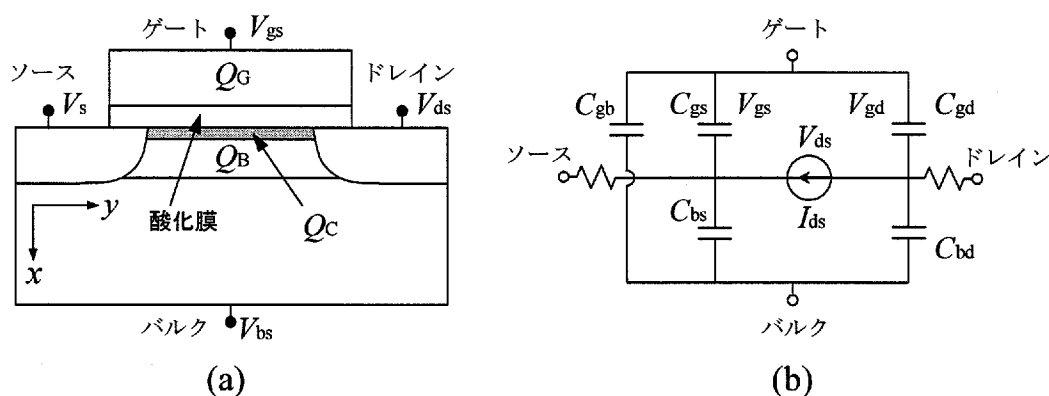


図 2.2 (a) MOSFET の模式図、(b) MOSFET の静特性に対する等価回路

いま V_{ds} を一定にして V_{gs} を一定の割合で増加させていった時のドレイン電極に流れる電流 I_{ds} の時間応答をみる。図 2.3 にゲート長 $0.5\mu\text{m}$ の MOSFET についてデバイス動作を忠実に予測できる 2次元デバイスシミュレータによって計算した結果を示す[2]。(a)は V_{gs} がゆっくり変化した場合 (100ps で 0V から 3V に変化)、図 2.3(b)は変化が急速な場合 (20ps で 0V から 3V に変化) である。スイッチ速度が遅い場合は変化する入力電圧に対応して電流が流れるが、速い場合は電流

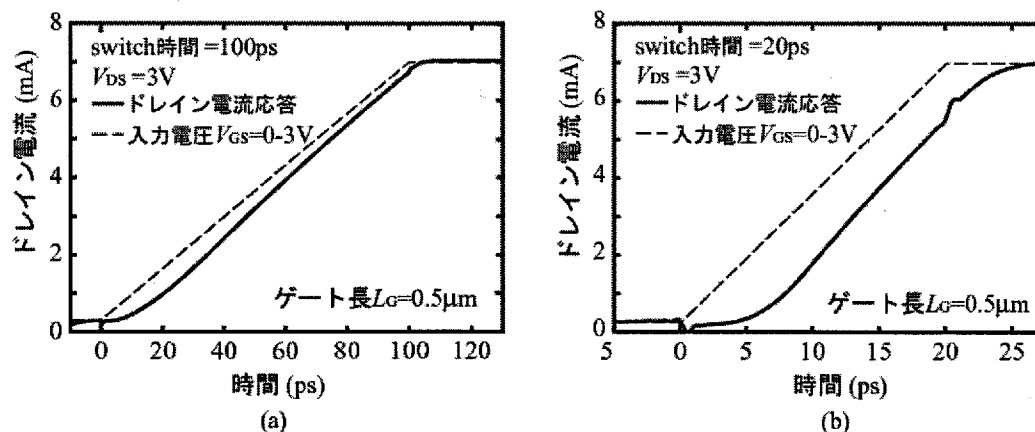


図 2.3 2次元デバイスシミュレータによる MOSFET ドレイン電流の時間応答解析結果

に遅延が生じている。この遅延は、ゲート電圧に対して MOSFET 内にキャリア電荷が集まってくより速く外部電圧が変化するため、キャリア電荷が即座にドレインに出て行けないためである。

このトランジスタの時間応答は、チャネル内のポテンシャルは電極に加えられる電圧の変化に即座に応答すると仮定すると次式で表される[3]。

$$I_a(t) = I_{a0}(t) - \frac{dQ_{a0}}{dt} \quad (2.2)$$

ここで a は電極間、例えばゲート・ソース間やゲート・ドレイン間を表す。右辺第 1 項を伝導電流(conductive current)、第 2 項を変位電流(displacement current)と呼んでいる[4]。\$I_{a0}\$ は電極間の時間変化する電圧に対応した DC 電流を表し、\$Q_{a0}\$ は電荷密度を表す。式(2.2)を次式で近似する。すなわち電荷の応答は電圧変化と同時に起こるとする。

$$I_a(t) = I_{a0}(t) - \sum_{b=G,S,D,B} \frac{\partial Q_{a0}}{\partial V_b} \frac{dV_b}{dt} \quad (2.3)$$

このような近似を Quasi-Static(QS)近似[4]と呼び、一般の回路シミュレーションはこの近似を使っている。また電流とともにキャパシタンス (\$dQ/dV\$) が電流応答を決める役割を担っていることを示している。

回路シミュレータは MOSFET モデルから得られた電荷量およびキャパシタンスから式(2.3)を数値的に解く。この時、図 2.2(a)に示した MOSFET は図 2.2(b)で示した等価回路として認識する。回路シミュレータはそれぞれのデバイス電極 (ソース、ゲート、ドレイン、バルク) にかかる電圧を与え、この条件でのデバイス特性を MOSFET モデルから得る。つまり、MOSFET モデルは式(2.3)の DC 電流、キャパシタンスを算出する式を与える。次節以降では MOSFET モデルで使われているトランジスタ特性の記述式について述べる。

2.3 MOSFET の基本方程式

MOSFET は図 2.2(a)に示すチャネル内電荷密度 \$Q_C\$、空乏層内電荷密度 \$Q_B\$ がデバイス特性を決める基になる。またゲート酸化膜を挟んでゲート側に \$Q_G\$ を生ずる。\$Q_C\$ はさらに簡単な言い方をすると、switch-off した時にキャリアがどちらの電極に流れ出るかでソース電荷密度 \$Q_S\$ とドレイン電荷密度 \$Q_D\$ に分けられる。これらの電荷密度の間には以下の関係が成り立つ。

$$Q_G = -(Q_B + Q_C) \quad (2.4)$$

$$Q_C = Q_S + Q_D \quad (2.5)$$

これにドレイン電流 \$I_{ds}\$ を記述する式が加わって半導体基本方程式が構成される。

(1) Poisson 方程式

$$\frac{d^2\phi}{dx^2} + \frac{d^2\phi}{dy^2} = -\frac{q}{\epsilon_{Si}}(N_D - N_A + p + n) \quad (2.6)$$

(2) 電流密度方程式

$$j_n = q\mu n \frac{d\phi}{dy} + qD_n \frac{dn}{dy} \quad (2.7)$$

(3) 電流連続方程式

$$\frac{\partial n}{\partial t} = G_n - R_n + \frac{1}{q} \frac{dj_n}{dy} \quad (2.8)$$

ここでキャリア密度 n 、 p は次式で記述できる。

$$\begin{aligned} n &= n_i \exp \frac{q(\phi - \phi_n)}{kT} \\ p &= n_i \exp \frac{q(\phi_p - \phi)}{kT} \end{aligned} \quad (2.9)$$

ここで ϕ はチャンネル内電位、 q は素電荷量、 ϵ_{Si} はシリコンの誘電率、 N_D 、 N_A はそれぞれドナー濃度、アクセプタ濃度を表す。 j_n は電子による電流密度、 μ 、 D_n はキャリアの移動度、拡散係数を表す。 G_n 、 R_n はそれぞれキャリアの発生速度、再結合速度である。 n_i は熱平衡状態での真性キャリア濃度、 ϕ_n 、 ϕ_p は擬 Fermi ポテンシャル、 k はボルツマン定数、 T は絶対温度である。

Poisson 方程式は全電荷密度とシリコン基板内に誘起される電位の関係を記述している。チャンネルの深さ方向の電位変化が急激であるのに対してチャンネル方向の変化はなだらかであり、通常これを無視することができる。これは gradual channel 近似[5]と呼ばれている。この近似を用いると Poisson 方程式は深さ方向つまり x 方向のみの一次元で解くことができる。

電流密度方程式はキャリアがソースからドレインに移動する原理を記述している。Pao と Sah は、電流をソース・ドレイン間電圧 V_{ds} によるチャンネル方向の電場 E_y によりキャリアが引っ張られるドリフト項 (式(2.7)の右辺括弧内第1項) と、ソースからドレインにかけてのキャリアの密度の勾配による拡散項 (式(2.7)の右辺括弧内第2項) の和で記述できることを示した[5]。これをドリフト-拡散近似と呼ぶ。ゲート電圧 V_{gs} が小さく、電流が指数関数的に増加している領域ではまだチャンネルが形成されず拡散項が支配的である。チャンネルが形成されるとドリフト項が支配的となる。ドリフト項が電流に寄与し始める V_{gs} をしきい値電圧 V_{th} と呼ぶ。このときの表面ポテンシャルは、キャリア濃度が基板不純物濃度 N_{sub} と等しくなる時の値と定義し

$$\phi_s = \frac{2kT}{q} \ln \left(\frac{N_{sub}}{n_i} \right) = 2\Phi_B \quad (2.10)$$

が得られる。ここで Φ_B は Fermi 準位と真性 Fermi 準位のエネルギー差である。

V_{ds} が増加し、チャンネル方向の電場 E_y が高くなると、この中を走行するキャリアは高エネルギーを得て格子に衝突し、電子・正孔対を生成するインパクトイオン化を起こす[6]。つまりチャンネルの中でキャリアが発生 (G_n) したり消滅 (R_n) したりする。電流連続方程式はこのようなチャンネル内の電流密度が変化する現象とチャンネル内キャリア密度分布の時間変化との関係を示す。この式を gradual channel 近似、つまりキャリアはチャンネル内のなだらかな電場の中をチャンネルに沿っ

て流れるとし、さらにポテンシャルは電圧変化に即座に応答するとすれば式(2.4)が得られる。回路シミュレータの中では基本的に式(2.4)はすべての電極（ソース、ゲート、ドレイン、バルク）に流れる電流について解かれるべきものである。式(2.7)の電流式はチャネルの中を流れるキャリアに対しての記述なので、ソース電極とドレイン電極に流れる電流についてのものである。

キャリア密度は Poisson 方程式から得られる ϕ の関数として記述でき、同時にキャリア密度は電位を変えるので、本来上記3式は自己無撞着に解く必要がある。また、チャネル方向と深さ方向の2次元で解く必要がある。これを実現しているのが2次元デバイスシミュレータである。しかしながら数値解析的に解くため膨大な計算時間を要し、扱える回路規模は10個以下のトランジスタであり、回路シミュレーションには適していない。これらの三つの式を簡略化し、高精度の回路シミュレーションを実現するためのデバイスモデルについて以下に述べる。

2.4 回路シミュレーションで用いられる Quasi-Static MOSFET モデル

式(2.6)~(2.8)の3つの基本式のうち、最後の電流連続式は Quasi-Static MOSFET モデルでは MOSFET が常に定常状態にあるものとして近似するため、

$$\frac{\partial n}{\partial t} = G_n - R_n + \frac{1}{q} \frac{dj_n}{dy} = 0 \quad (2.11)$$

として式(2.2)の形で回路シミュレーションが解くので、はじめの2式の Poisson 方程式と電流密度方程式からデバイス特性を記述する。この際、二つの近似を導入することにより解析式を導く。一つはキャリアが移動するチャネルの深さ方向の厚さを無視し、いわゆる charge-sheet とする[7-9]。この近似は、チャネルの深さがせいぜい2nm程度で、チャネル長が100nmということを考慮すると、無理な近似ではない。もう一つは gradual channel 近似[5]で、チャネル内ポテンシャルはソースからドレインに向けてなだらかにしか増加していないとする。本来、式(2.6)と式(2.7)はチャネルの深さ方向とチャネル方向の両成分を2次元で解かなければいけないが、これらの近似によってチャネル方向(y方向)と深さ方向(x方向)とを独立に扱うことが可能になる。Poisson 方程式も

$$\frac{d^2\phi}{dx^2} \gg \frac{d^2\phi}{dy^2} \quad (2.12)$$

が成り立つので式(2.6)を深さ方向のみで解く。こうして得られたチャネル内の各位置における表面ポテンシャル値を式(2.7)に従ってチャネル方向について積分することによって、電流が解析的に記述される。

2.4.1 電荷量記述式とドレイン電流記述式

式(2.7)の電流密度方程式の基になっている量は、Poisson 方程式から導かれる電荷量である。また、これはポテンシャルの関数として得られる。従って、すべてのデバイス特性はポテンシャルの関数として記述される。

シリコン表面の電位を特に表面ポテンシャル ϕ_s とし、表面ポテンシャルのチャネル内分布を用いて電荷密度を記述すると、

$$Q_b(y) = -\sqrt{\frac{2\varepsilon_{Si}qN_{sub}}{\beta}} [\exp\{-\beta(\varphi_s(y) - V_{bs})\} + \beta(\varphi_s(y) - V_{bs}) - 1]^{\frac{1}{2}} \quad (2.13)$$

$$\beta = \frac{kT}{q}$$

$$Q_c(y) = -C_{OX}(V_g' - \varphi_s(y)) + \sqrt{\frac{2\varepsilon_{Si}qN_{sub}}{\beta}} [\exp\{-\beta(\varphi_s(y) - V_{bs})\} + \beta(\varphi_s(y) - V_{bs}) - 1]^{\frac{1}{2}}$$

$$= qn(y) \quad (2.14)$$

$$V_g' = V_{gs} - V_{FB}$$

となる。ここでは均一な基板濃度を仮定している。回路シミュレータは電極の値しか認識しないので、式(2.13)および式(2.14)をチャンネルのソースからドレインまで積分した値をモデルが回路シミュレータに渡すこと量になる。すなわち、

$$Q_B = W \int_0^L Q_b(y) dy \quad (2.15)$$

$$Q_C = W \int_0^L Q_c(y) dy \quad (2.16)$$

$$Q_S = W \int_0^L \left(1 - \frac{y}{L}\right) Q_i(y) dy \quad (2.17)$$

$$Q_D = W \int_0^L \frac{y}{L} Q_i(y) dy \quad (2.18)$$

のようにチャンネル内の位置について積分しなければならない。gradual channel 近似を用いて積分して得られる最終式は、すべて表面ポテンシャルのソース端 (φ_{s0}) とドレイン端 (φ_{sL}) の関数に帰着する。最終的に得られる Q_B の式を例として示す。

$$Q_B = W \int_0^L Q_b dy$$

$$= -\int_0^L Q_b \left\{ \frac{kT\mu W}{qI_{ds}} (Q_c \beta d\varphi_s - dQ_c) \right\}$$

$$= -\frac{kT}{q} \frac{\mu W^2}{I_{ds}} \int_0^{L_{eff}} \left\{ Q_b Q_c \beta d\varphi_s - Q_b' dQ_c' \right\}$$

$$= -\frac{\mu W^2}{I_{ds}} \frac{1}{\beta} \frac{2}{3} \text{const}0 C_{OX} (V_g - V_{fbc}) \left[\left\{ \beta(\varphi_s - V_{bs}) - 1 \right\}^{\frac{3}{2}} \right]_{\varphi_{s0}}^{\varphi_{sL}}$$

$$+ \frac{\mu W^2}{I_{ds}} \frac{1}{\beta} \frac{2}{3} \text{const}0 C_{OX} \left[\varphi_s \left\{ \beta(\varphi_s - V_{bs}) - 1 \right\}^{\frac{3}{2}} \right]_{\varphi_{s0}}^{\varphi_{sL}}$$

$$- \frac{\mu W^2}{I_{ds}} \frac{1}{\beta^2} \frac{4}{15} \text{const}0 C_{OX} \left[\varphi_s \left\{ \beta(\varphi_s - V_{bs}) - 1 \right\}^{\frac{5}{2}} \right]_{\varphi_{s0}}^{\varphi_{sL}}$$

$$\begin{aligned}
& + \frac{\mu W^2}{I_{ds}} \frac{1}{2\beta} \text{const}0^2 \left[\beta^2 (\varphi_{sL} - V_{bs})^2 - 2\beta (\varphi_{sL} - V_{bs}) - \beta^2 (\varphi_{s0} - V_{bs})^2 + 2\beta (\varphi_{s0} - V_{bs}) \right] \\
& - \frac{\mu W^2}{I_{ds}} \frac{1}{\beta} \left[\text{const}0 C_{OX} \frac{1}{\beta} \frac{2}{3} \left\{ \beta (\varphi_s - V_{bs}) - 1 \right\}^{\frac{3}{2}} + \frac{1}{2} \text{const}0^2 \beta \varphi_s \right]_{\varphi_{s0}}^{\varphi_{sL}} \quad (2.19) \\
& \text{const}0 = \sqrt{\frac{2q\epsilon_{Si}N_{sub}}{\beta}}
\end{aligned}$$

Q_c も同様に複雑な式となるがここでは省略する。

MOSFET モデルで重要となるドレイン電流は、式(2.7)の電流密度式とアインシュタインの関係を用いて

$$I_{ds} = \mu W (-Q_c) \frac{d\varphi_s}{dy} + \mu W \beta \frac{dQ_c}{dy} \quad (2.20)$$

と書くことができ、これに対して、ソース端における表面ポテンシャルを φ_{s0} 、キャリア密度を Q_{i0} 、ドレイン端におけるそれぞれを φ_{sL} と Q_{iL} とし、式(2.20)を $y=0$ から $y=L$ まで積分することにより次式が得られる。

$$I_{ds} = \frac{W}{L} \left[\int_{\varphi_{s0}}^{\varphi_{sL}} \mu (-Q_c) d\varphi_s + \beta \int_{Q_{i0}}^{Q_{iL}} \mu dQ_i \right] \quad (2.21)$$

式(2.14)と式(2.21)よりドレイン電流は表面ポテンシャルの関数として次式で表される[7,10]。

$$\begin{aligned}
I_{ds} = & \frac{W}{L} \frac{\mu}{\beta} \left\{ C_{OX} (\beta V'_g + 1) (\varphi_{sL} - \varphi_{s0}) - \frac{\beta}{2} C_{OX} (\varphi_{sL}^2 - \varphi_{s0}^2) \right\} \\
& - \frac{W}{L} \frac{\mu}{\beta} \frac{2}{3} \sqrt{\frac{2\epsilon_{Si}qN_{sub}}{\beta}} \cdot \left[\left\{ \beta (\varphi_{sL} - V_{BS}) - 1 \right\}^{\frac{3}{2}} - \left\{ \beta (\varphi_{s0} - V_{BS}) - 1 \right\}^{\frac{3}{2}} \right] \\
& + \frac{W}{L} \frac{\mu}{\beta} \sqrt{\frac{2\epsilon_{Si}qN_{sub}}{\beta}} \cdot \left[\left\{ \beta (\varphi_{sL} - V_{BS}) - 1 \right\}^{\frac{1}{2}} - \left\{ \beta (\varphi_{s0} - V_{BS}) - 1 \right\}^{\frac{1}{2}} \right] \quad (2.22)
\end{aligned}$$

$$V'_g = V_{gs} - V_{FB}$$

次に上式で使われているソース端での表面ポテンシャル φ_{s0} とドレイン端の表面ポテンシャル φ_{sL} について述べる。まず空乏層電荷密度 Q_b とキャリア電荷密度 Q_c の表面ポテンシャル φ_s との関係は次式で表される。

$$Q_b = -\gamma C_{OX} \sqrt{\varphi_s + V_{cb}} \quad (2.23)$$

$$Q_c = -\gamma C_{OX} \left(\sqrt{\varphi_s + \beta e^{[\varphi_s - (2\phi_F + V_{cb})]/\beta}} - \sqrt{\varphi_s + V_{cb}} \right) \quad (2.24)$$

$$\gamma = \frac{\sqrt{2q\epsilon_{\text{Si}}N_{\text{sub}}}}{C_{\text{OX}}}$$

ここで ϕ_F はFermiポテンシャル、 V_{cb} はチャネル・バルク間電圧である。一方Charge-sheet近似によりゲート・バルク間電圧 V_{GB} は次式で表される。

$$V_{\text{gb}} = V_{\text{FB}} + \phi_s - \frac{Q_{\text{b}}(\phi_s) + Q_{\text{i}}(\phi_s)}{C_{\text{OX}}} \quad (2.23)$$

ここで V_{FB} はフラットバンド電圧である。式(2.23)に式(2.23)および(2.24)を用いて

$$V_{\text{gb}} = V_{\text{FB}} + \phi_s + \gamma \sqrt{\phi_s + \beta e^{[\phi_s - (2\phi_F + V_{\text{cb}})]/\beta}} \quad (2.24)$$

となり、外部から印加される電圧と表面ポテンシャルの関係が表される。チャネルのソース端での表面ポテンシャル ϕ_{s0} とドレイン端の表面ポテンシャル ϕ_{sL} は式(2.24)より以下のように導出される。[4]

$$\phi_{\text{s0}} = V_{\text{gb}} - V_{\text{FB}} - \gamma \sqrt{\phi_{\text{s0}} + \beta e^{[\phi_{\text{s0}} - (2\phi_F + V_{\text{cb}})]/\beta}} \quad (2.25)$$

$$\phi_{\text{sL}} = V_{\text{gb}} - V_{\text{FB}} - \gamma \sqrt{\phi_{\text{sL}} + \beta e^{[\phi_{\text{sL}} - (2\phi_F + V_{\text{db}})]/\beta}} \quad (2.26)$$

ϕ_{s0} および ϕ_{sL} はすべての領域に渡って連続であり、従って式(2.22)のドレイン電流も V_{gs} 、 V_{ds} 、 V_{bs} のいかなる値に対しても連続である。上式はいずれも求めたい値が両辺に存在するので解析式では表すことができず、数値的に解くことが必要である。

2.4.2 ドリフト近似モデル

Meyer モデル

式(2.25)および(2.26)に示すように ϕ_{s0} と ϕ_{sL} は外部電圧を関数とした解析式では表せない。そこで従来はこれらを次式のように近似し、式(2.7)の電流密度方程式のドリフト項と拡散項を分けて扱う方法がとられてきた。

$$\phi_{\text{s0}} = 2\Phi_{\text{B}} \quad (2.27)$$

$$\phi_{\text{sL}} = \phi_{\text{s0}} + V_{\text{ds}} \quad (2.28)$$

式(2.27)の $2\Phi_{\text{B}}$ の定義は式(2.10)で示されているが、これはしきい値条件の表面ポテンシャルを与えていることになる。上式の近似を用いた式(2.22)のドレイン電流は下式で表される。

$$I_{\text{ds}} = \frac{W}{L} \mu C_{\text{OX}} \left\{ (V_{\text{g}}' - V_{\text{th}}) V_{\text{ds}} - \left(\frac{1}{2} + \frac{\sqrt{2\epsilon_{\text{Si}}qN_{\text{sub}}}}{4C_{\text{OX}}\sqrt{2\Phi_{\text{B}}}} \right) V_{\text{ds}} \right\} \quad (2.29)$$

$$V_{th} = V_{FB} + 2\Phi_B + \frac{\sqrt{2\varepsilon_{Si}qN_{sub}}}{2C_{OX}} \sqrt{2\Phi_B} \quad (2.30)$$

これは Sah によって導かれ[11]、初めて Meyer によって回路モデルとして用いられた [12]。この式はドリフト近似から導かれた式であり、しきい値電圧が重要なパラメータとなっている。このモデルは表面ポテンシャルを外部電圧の関数として Poisson 方程式から得るのではなく、固定することで導いている。このモデルは回路設計者が印加電圧から簡単に電流値や電荷量を見積もることができるという大きな利点を持っており、その後の回路モデルの考え方の基本となっており、微細 MOSFET モデルへ拡張されてきた[13]。

BSIM3 および BSIM4 モデル

BSIM モデル (Berkeley Short-Channel IGFET Model) [13]は現在 MOSFET モデルとして広く用いられているモデルであるが、Meyer モデルを踏襲したものであり、しきい値電圧が重要なパラメータとなっている。以下にしきい値電圧とドレイン電流を示す。

しきい値電圧：

$$V_{th} = V_{Tideal} + K_1(\sqrt{\phi_s - V_{bs}} - \sqrt{\phi_s}) - K_2 V_{bs} + K_1 \left(\sqrt{1 + \frac{Nlx}{L} \sqrt{\frac{\phi_s}{\phi_s - V_{bs}} - V_{bs}} - 1} \right) \sqrt{\phi_s} + 3\pi \frac{T_{OX}}{W} \phi_s - \Delta V_{th} \quad (2.31)$$

$$\phi_s = \frac{2kT}{q} \ln \left(\frac{N_{sub}}{n_i} \right) = 2\Phi_B$$

$$K_1 = \gamma_2 - 2K_2 \sqrt{\phi_s - V_{bm}} \quad K_2 = (\gamma_1 - \gamma_2) \frac{\sqrt{\phi_s - V_{bm}} - \sqrt{\phi_s}}{2\sqrt{\phi_s}(\sqrt{\phi_s - V_{bm}} - \sqrt{\phi_s}) + V_{bm}}$$

$$\gamma_1 = \frac{\sqrt{2q\varepsilon_{Si}N_{peak}}}{C_{OX}} \quad \gamma_2 = \frac{\sqrt{2q\varepsilon_{Si}N_{sub}}}{C_{OX}} \quad Nlx = \frac{2L_x(N_{DS} - N_{sub})}{N_{sub}}$$

線形領域のドレイン電流：

$$I_{DS} = \frac{W}{L} \mu C_{OX} \frac{1}{1 + V_{DS}/E_{sat}L} (V_{GS} - V_{th} - A_{bulk} V_{DS}/2) V_{DS} \quad \text{linear region} \quad (2.32)$$

$$I_{DS} = W v_{sat} C_{OX} (V_{GS} - V_{th} - A_{bulk} V_{DS}/2) V_{dsat} \quad \text{saturation region} \quad (2.33)$$

$$V_{dsat} = \frac{E_{sat}L(V_{GS} - V_{th})}{A_{bulk}E_{sat}L + (V_{GS} - V_{th})} \quad (2.34)$$

$$A_{bulk} = 1 + \frac{K_1}{2} \frac{A_0L}{L + 2\sqrt{X_j X_{dep}}} \frac{1}{\sqrt{\phi_s - V_{BS}}}$$

$$E_{sat} = \frac{2v_{sat}}{\mu}$$

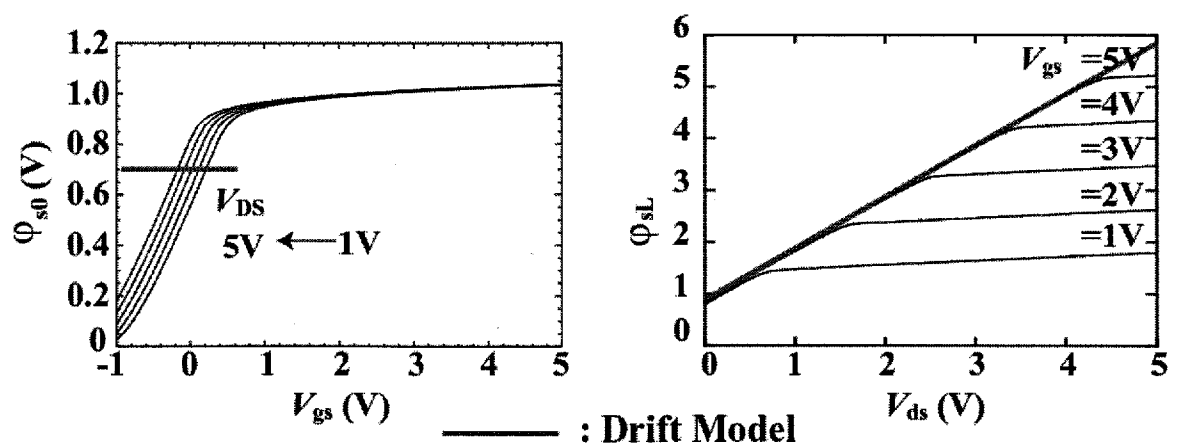
ここで ΔV_{th} は短チャネル効果を示す項であり、数多くのパラメータ含む式で記述されるがここでは省略する。 V_{Tideal} は長チャネルでの基板電圧0のときの理想的なしきい値電圧、 T_{ox} はゲート酸化膜厚、 V_{bm} は基板の最大電圧、 N_{peak} は基板の最大不純物濃度、 L_x と N_{DS} はポケット注入（チャネル内のソースおよびドレイン近傍の不純物を高濃度にする技術）における高濃度領域の幅とその濃度である。また、 v_{sat} はキャリアの飽和速度、 X_j 、 X_{dep} はそれぞれ拡散層深さ、反転層深さである。 A_0 は実験より決まるパラメータである。

式(2.32)および(2.33)で示されるように、BSIMモデルは線形領域と飽和領域は別々の式で記述されており、いわゆる piece-wise モデルとなっている。一般に piece-wise モデルは異なる式の間では微分値に不連続が生ずるので[14]、領域間のスムージング用パラメータが必要となる。BSIMモデルでは連続性を持たせるための工夫としてバルクチャージ効果 (A_{bulk}) 等の関数やパラメータが数多く導入され、パラメータと実際のデバイスとの関連がなくなっている。

2.4.3 表面ポテンシャルモデル：HiSIM

式(2.22)は表面ポテンシャルを関数としたドリフト・拡散モデルであり、式(2.25)、(2.26)の ϕ_{s0} と ϕ_{sL} が決まれば線形領域、飽和領域、カットオフ領域のすべての動作点のドレイン電流を一つの式で表現でき、いわゆる unified モデルの構築が可能となる。しかしながら式(2.25)および(2.26)は ϕ_{s0} 、 ϕ_{sL} の陰関数なので、外部電圧を与えても ϕ_{s0} および ϕ_{sL} は一義的に決まらず、反復法によって解を得る必要がある。従来は反復計算ゆえにポテンシャルモデルは回路計算には適さないと考えられてきたが、これを実現したのが表面ポテンシャルモデル HiSIM (Hiroshima-University STARC IGFET Model) である[10,15,16]。HiSIM では初期解を高精度に得よう工夫されており、平均2回の反復計算で $10^{-13}V$ の精度の表面ポテンシャルが得られている。また、反復計算が加わったとしても、モデル式がドリフトモデルの場合に比べ簡素化されるためシミュレーション時間を抑えられていることが確かめられている [10]。

図2.4はHiSIMによる表面ポテンシャルの計算結果を V_{gs} と V_{ds} の関数として示したものである。



(a) ソース端表面ポテンシャルの V_{gs} 依存性 (b) ドレイン端表面ポテンシャルの V_{ds} 依存性

図 2.4 HiSIM による表面ポテンシャルの計算結果[2]

図 2.4(a)および(b)には太い実線でドリフトモデルの場合の式(2.27)および(2.28)による表面ポテ

ンシャルを重ねて示している。図 2.4(a)において表面ポテンシャルモデルではソース端の電位が V_{gs} に対して連続的に変化していくのに対してドリフトモデルでは一定の値となる。また図 2.4(b) において表面ポテンシャルモデルはドレイン端での電位が V_{ds} の増加とともに飽和していき、gradual channel 近似の限界を示しているが、ドリフトモデルでは限界を越えて直線的に増加し続けることがわかる。

図 2.5 にドレイン電流のシミュレーション結果と実測値の比較を HiSIM の場合と BSIM の場合について示す[17]。HiSIM と BSIM のいずれも実測値としてゲート長 $0.11\mu\text{m}$ から $2\mu\text{m}$ までのトランジスタを用いてモデルパラメータを抽出して得られた結果である。でモデルパラメータを実測値からフィティングし、同じパラメータを使いゲート長 $0.11\mu\text{m}$ とゲート長 $0.5\mu\text{m}$ のみを示している。HiSIM はいずれの特性も実測と良い一致を示しているが、BSIM はゲート長 $0.5\mu\text{m}$ に対しては一致していない。このことから後者はゲート長が異なるごとに実測値からのフィティングを必要とすることが予測できる。つまり、ドリフトモデルが物理現象を十分に表現していないことを意味している。

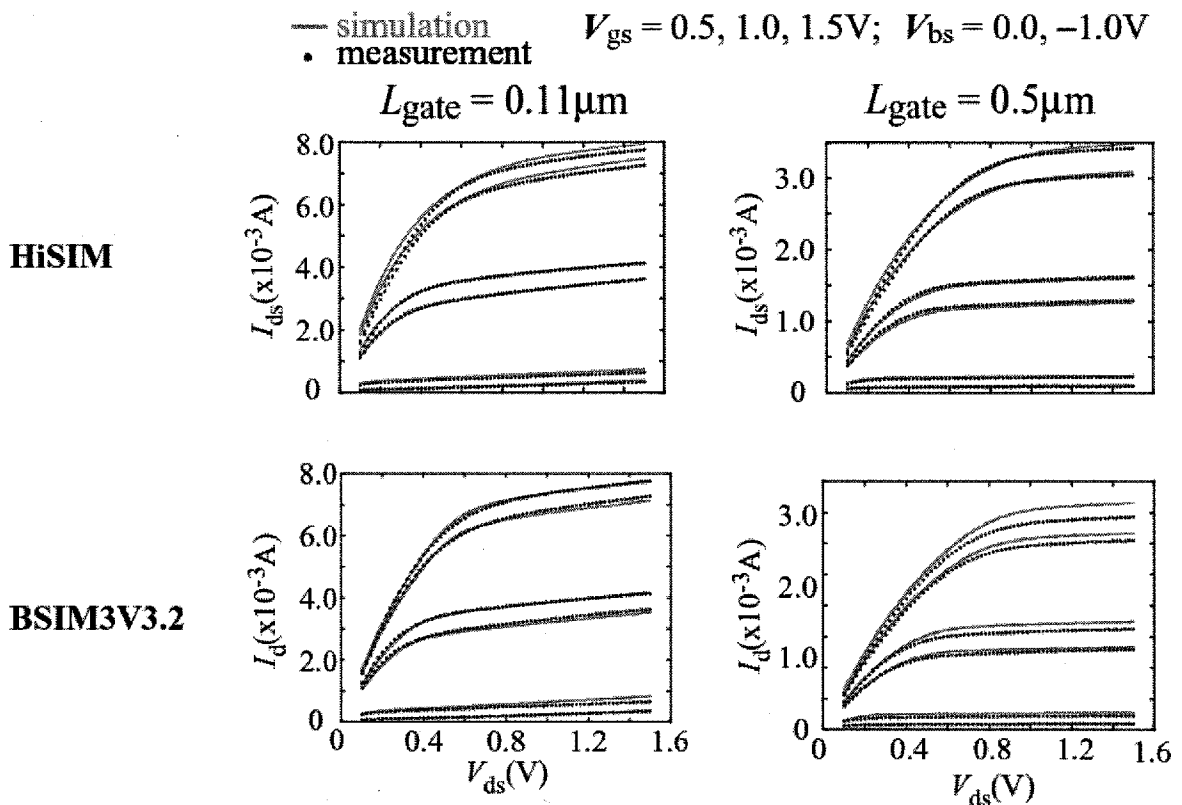


図 2.5 表面ポテンシャルモデルとドリフトモデルのシミュレーション結果の比較

本研究の NQS モデルは表面ポテンシャルモデル HiSIM を基にして開発を進めた。その内容は第 4 章に述べられる。

2.5 回路シミュレーションで用いられる Non-Quasi-Static MOSFET モデル

2.5.1 Quasi-Static MOSFET モデルを用いた過渡解析

前節で述べた Quasi-Static MOSFET モデルは電流連続方程式の時間微分項を 0 としてモデル化し

た場合である。従ってこのモデルで得られる電流はすべて定常状態、すなわち電圧時間変化が無視できる位ゆっくりと起こるため、十分時間が経過しトランジスタ内が平衡状態になった状態での電流である。図 2.6(a)の回路に対して、Quasi-Static MOSFET モデルを用いて回路の過渡解析を行った場合の電流特性は以下のように説明できる[4]。いま回路において図 2.6(b)に示すように V_{gs} は時間 t_3 まで一定の割合で増加するものとし、 V_{ds} は飽和状態を維持するに十分な一定電圧が掛けられているものとする。回路シミュレータで計算するドレイン電流は式(2.2)で表されるが、これを次式に書き直す。

$$i_D(t) = i_T(t) + i_{DT}(t) \quad (2.35)$$

右辺第 1 項は伝導電流(conductive current)であり、第 2 項は変位電流(displacement current)である。図 2.6(c)は伝導電流を示す。 $t < t_1$ では V_{gs} がしきい値電圧に達しておらず、チャネルは空である。 $t = t_1$ でソースからチャネルにキャリアが流入するが、ドレインに到達していないので電流は観測されないが、 $t > t_1$ ではキャリアは定常状態（電圧の時間変化が遅い状態）にあるとするので、キャリアはドレインに到達しており、ドレイン電流として観測される。図 2.6(d)は変位電流の変化を示す。変位電流 $i_{DT}(t)$ は式(2.3)で表されるが、今の場合 V_{gs} のみが増加するので次式で表される。

$$i_{DT}(t) = \frac{\partial q_d}{\partial V_{gs}} \frac{dV_{gs}}{dt} \quad (2.36)$$

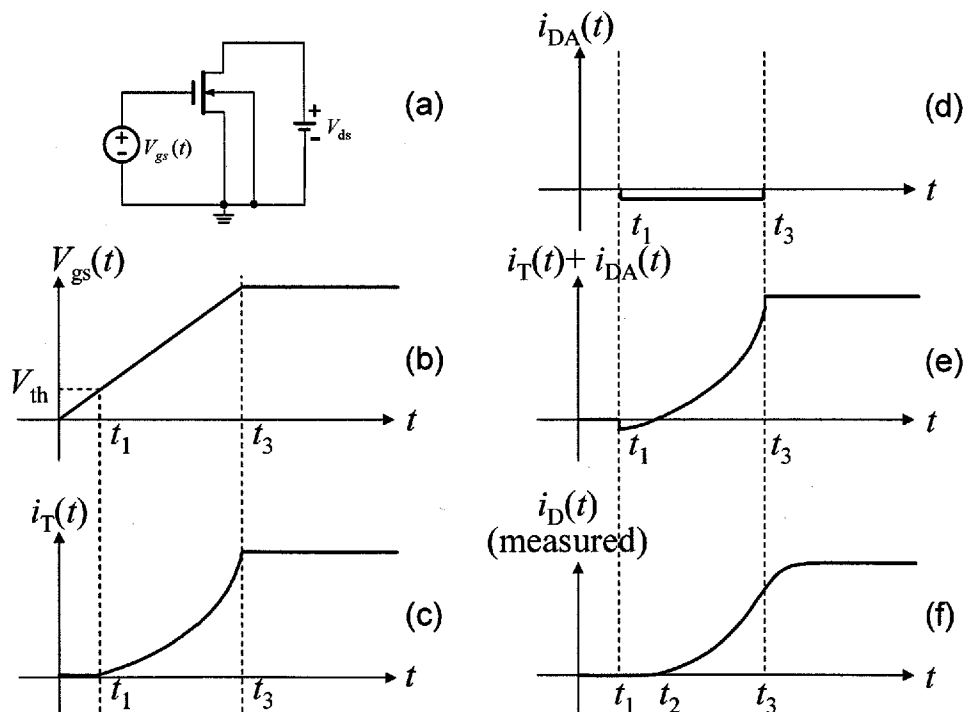


図 2.6 Quasi-Static MOSFET モデルを用いた回路過渡解析に対する電流特性説明図[4]

飽和領域でのドレイン電荷量 $q_d = Q_{Dsat}$ はドリフト近似では下式で表されることが知られている。

$$Q_{\text{Dsat}} = -\frac{4}{15}WLC_{\text{OX}}(V_{\text{gs}} - V_{\text{th}}) \quad (2.37)$$

従って、式(2.35)の偏微分項は

$$\frac{\partial q_d}{\partial V_{\text{gs}}} = -\frac{4}{15}WLC_{\text{OX}} \quad (2.38)$$

となり、負値で V_{gs} に依存しない一定値となる。式(2.36)の常微分項 dV_{gs}/dt は V_{gs} が時間とともに一定の割合で増加していくので正值の一定値となる。それ故、式(2.36)の変位電流は図 2.7(c)のように負値で一定となる。図 2.6(e)は伝導電流 $i_T(t)$ と変位電流 $i_{\text{DA}}(t)$ の和であり、Quasi-Static MOSFET モデルを用いた場合のドレイン電流を示す。 $t = t_3$ において定常状態に瞬時に遷移している。図 2.6(f)は実測の模式図である。Quasi-Static とは異なり $t = t_3$ ではまだ定常状態に達してはおらずキャリアの遅れを反映して徐々に定常状態に近づいている。

このように Quasi-Static MOSFET モデルを用いた場合はゲート電圧がしきい値電圧以上になると常にチャネルにキャリアが存在することになり、キャリアがドレインに到着するのに有限の時間を要することは考慮されていない。

2.5.2 高速動作における Quasi-Static MOSFET モデルの限界

Quasi-Static モデルは、回路シミュレータから与えられる電圧条件に対して、トランジスタの定常状態の電流を回路シミュレータに返すため、実際の電流とは異なった結果を与えることを上述した。直流動作状態でトランジスタ内を電子が走行する平均時間 τ は次式で表される。

$$\tau = \frac{|Q_c|}{I_{\text{ds}}} \quad (2.39)$$

この式をもとに τ はトランジスタ内の状態によって以下のように表される。

強反転非飽和状態で V_{ds} が小さい時：

$$\tau \approx \frac{L^2}{\mu V_{\text{ds}}} \quad (2.40)$$

強反転飽和状態の時（速度飽和が起きていないと仮定）：

$$\tau = \frac{4}{3}\tau_0 \quad (2.41)$$

$$\tau_0 = \frac{\alpha L^2}{\mu(V_{\text{gs}} - V_{\text{th}})}$$

$$\alpha = 1 + \frac{\gamma}{2\sqrt{\phi_{s0}}}, \quad \gamma = \frac{\sqrt{2q\epsilon_{\text{Si}}N_{\text{sub}}}}{C_{\text{OX}}}$$

弱反転状態で $V_{\text{ds}} > 5\phi$ の時：

$$\tau = \frac{L^2}{\mu(2\phi_t)} \quad (2.42)$$

$$\phi_t = \frac{kT}{q}$$

いま図 2.6(b)の t_3-t_1 で表されるゲート電圧の立ち上がり時間を t_R とすると、多くの過去のデジタル回路設計の経験から Quasi-Static MOSFET モデルが有効である条件は次式で表されることが知られている[4,18]。

$$t_R > 20\tau_0 \quad (2.43)$$

Quasi-Static MOSFET モデルを使って式(2.43)を満足しない速い立ち上がり時間のシミュレーションを行った場合の電流特性を図 2.7 に示す。計算対象とするデバイスにはゲート長 $0.5\mu\text{m}$ で、 $V_{ds}=1\text{V}$ 、 $(V_{gs}-V_{th})=1\text{V}$ の時に $\tau=21.1\text{ps}$ ($\tau_0=15.6\text{ps}$) になる NMOSFET を用いた。立ち上がり時間 t_R を 15、35、95、345ps とした場合のドレイン電流特性をシミュレーションした。Quasi-Static MOSFET モデルには HiSIM を用いた。 t_R は t_R が小さいほど変位電流が大きく、また $t=t_R$ における $V_{GS}=1.5\text{V}$ での電流定常値へのジャンプ幅も大きい。 $t_R=345\text{ps}$ の場合が回路シミュレーションに適用可能とされる、すなわち式(2.39)を満足する状態であり、変位電流の負側への増大や $t=t_R$ での電流の定常値へのジャンプはほとんど見られない。

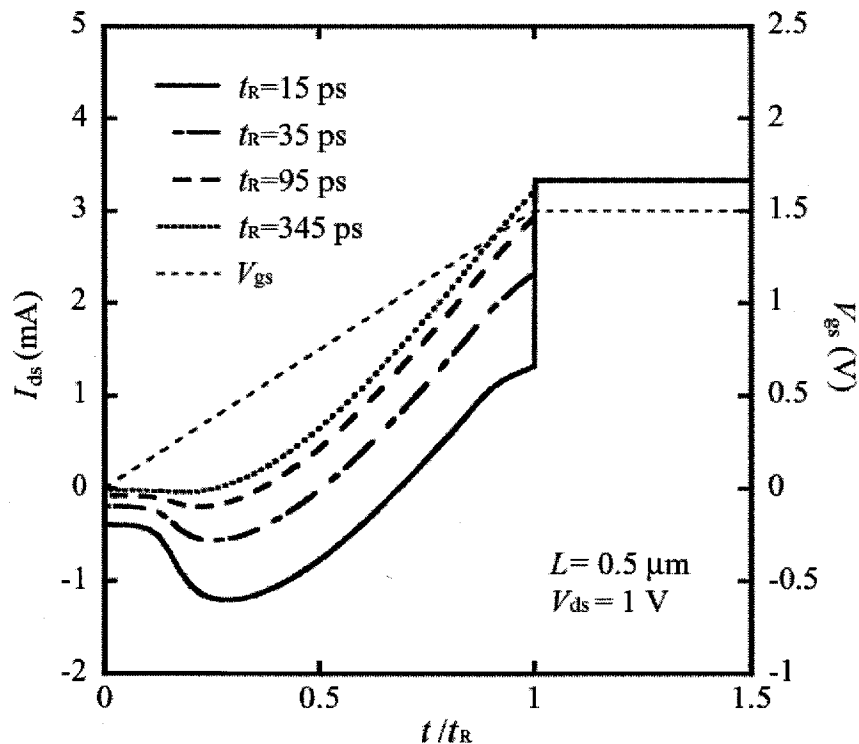


図 2.7 Quasi-Static モデルによる電流特性の立ち上がり時間による影響

図 2.8 に図 2.6(a)の回路について Quasi-Static MOSFET モデルで計算した場合と、実際のデバイス動作を忠実に再現できる 2 次元デバイスシミュレータで計算した場合の比較を具体的な例で示す。対象とした NMOSFET はゲート長 $0.5\mu\text{m}$ の場合である。ゲート電圧を 20ps の時間をかけて

0V から 1.5V まで印加した時、Quasi-Static モデルではゲート電圧 V_{GS} が上昇し始めるとドレイン電流は負の電流が流れる。この場合は式(2.36)の変位電流の他にオーバーラップ容量や拡散層を充電するためにドレイン端子から電子が流れ込む成分も含まれている。Quasi-Static モデルは、いかなる時間ステップにおいてもその印加電圧の状態でのトランジスタの定常状態を与える。従って、20ps において V_{GS} が 1.5V になると瞬時にそのときの定常状態の電流を与えている。一方 2 次元デバイスシミュレータによるドレイン電流は、負側に一定値を保った後 13ps 付近から上昇を始め、 V_{GS} が 1.5V に達した時に電流は瞬時に定常状態にならず、 V_{GS} が一定になった後徐々に定常状態に近づいていく。

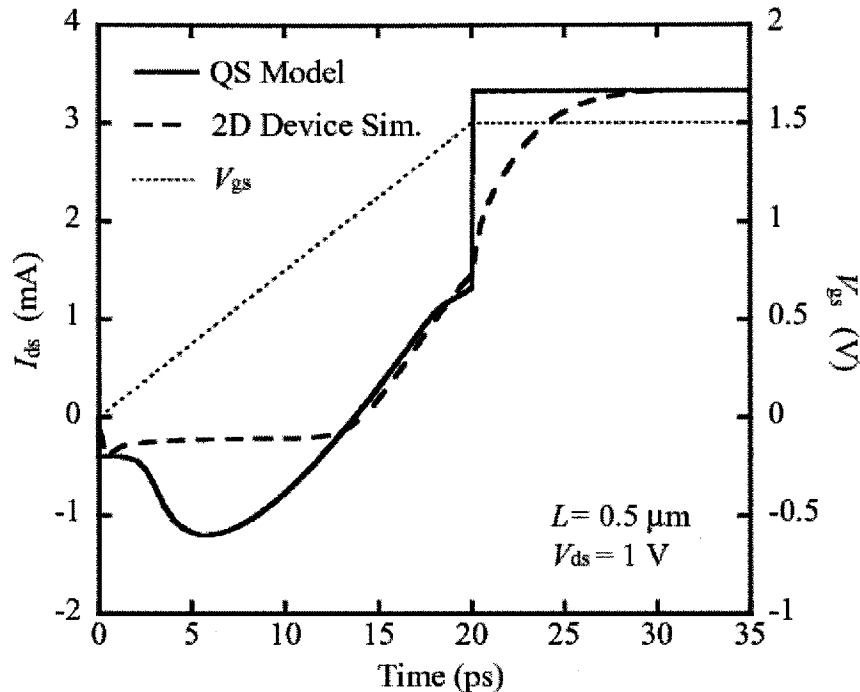


図 2.8 Quasi-Static モデルと 2 次元デバイスシミュレータのドレイン電流比較

図 2.7 および図 2.8 から 2 次元デバイスシミュレータによる電流特性と Quasi-Static モデルを用いた過渡電流特性に関して以下の知見が得られる。すなわち、入力電圧が変化している間は高速動作の場合ほど両者とも変位電流は大きくなるが、前者が一定値を保つのにに対して Quasi-Static モデルの場合は負側に大きく増加する。入力電圧が増加から一定値に切り替わる瞬間において、2 次元デバイスシミュレータによる電流は連続性を持ち、それ以後電流は徐々に増加していき一定値に近づいていく。これはチャネル内をキャリアが移動するのに有限の時間を要しており、入力電圧の速い変化のためキャリアの移動が入力電圧に追従できず、電流に遅延が生じていることを現している。一方 Quasi-Static モデルでは電流の一定値に瞬時にジャンプし、それ以後は常に一定値を維持し、かつ電流の遅れは見られない。

このように 2 次元デバイスシミュレータから予測される実際の動作と Quasi-Static モデルを用いた過渡解析には大きな違いがあり、高速動作になるほどその違いは大きくなる。Quasi-Static モデルは与えられる外部電圧に対してデバイス内部の状態、すなわち電位分布やキャリア密度分布の状態を常に定常状態にあるものとして計算するのに対し、2 次元デバイスシミュレータはその時々

のキャリア密度状態を忠実に計算していることからこの差が生じている。従ってこの差をなくすためには、与えられた外部電圧に応じてキャリアのチャンネル内の走行時間を考慮し、その時々に対する過渡的な電流特性を計算するモデル、いわゆる Non-Quasi-Static (NQS) モデルが必要となる。

2.5.3 従来の Non-Quasi-Static MOSFET モデル

現在まで多くの Non-Quasi-Static MOSFET モデルが開発されているが、その手法を大別すると、

- (1) トランジスタを分割し、個々の細分化されたトランジスタを接続することにより、キャリア伝搬の遅れを表現する方法[19]
- (2) 遅延メカニズムを級数展開により表す方法[20-22]
- (3) トランジスタの等価回路に抵抗を付加することにより、キャリアの遅れを RC 積で表す方法[23,24]

がある。以下にこれらの方法について具体的に述べる。

(1) トランジスタを分割する方法

MOSFET 内の遅延メカニズムを現象論的に表現するために、チャンネルを n 個の断片に分割し、 n 個の独立な MOSFET から成り、分割された個々のトランジスタは Quasi-Static モデルとして扱われるものである。この方法の概念を図 2.9 に示す。

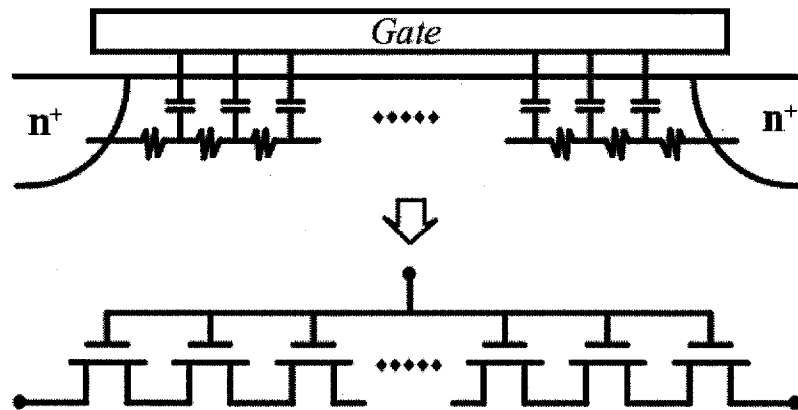


図 2.9 トランジスタの分割

回路シミュレーション用モデルとしては細分化された n 個のトランジスタのゲートを共通にし、ソース、ドレインをそれぞれ隣接する分割トランジスタのドレイン、ソースと接続する。これにより n 個のチャンネルが直列に接続されることになり、キャリアは 1 番目のチャンネルから n 番目のチャンネルまで順次伝搬していくことになり、キャリアの有限時間の遅れが表現できる。このモデルでキャリアの過渡現象を完全に表現するには n は 5 以上が必要であると報告されている[19]。またこの方法は、回路シミュレーションのためのネットリストの作成において、本来であれば 1 個のトランジスタの持つ 4 個のノードを定義すれば良かったのに対して、 $(n-1) \times 3$ 個のノードを余分に定義しなければならない。回路シミュレータはノードの電位を未知数として行列解法により

解くので、一般的に計算時間はノード数により指数関数的に増加する。このためこの方法による回路シミュレーションは扱うトランジスタ数に限界がある。さらに分割されたトランジスタの集合体がもとのトランジスタと同じ特性を示すかどうかは明らかではない。例えば細分化された個々のトランジスタが持つ短チャネル効果のモデルが集合体としてみた時に、もとのトランジスタの短チャネル効果と同じ効果を示すかは疑問である。

(2)遅延メカニズムを級数展開により表す方法

H. J. Park は電流連続方程式を取り込むことによって時間と位置を考慮する方法を開発している。これはソースおよびドレイン電荷 $P_S(t)$ と $P_D(t)$ を基に電流の解析式を導出している[21]。最終的なソースおよびドレイン電流式を以下に示す。

$$I_D(t) = I_{DC}(t) - \frac{W}{L} C_{OX} \frac{\mu_n}{2F_B} \cdot \sum_{n=1}^N (A_n(t) \cdot (-1)^n \cdot n\pi) \quad (2.44)$$

$$I_S(t) = -I_{DC}(t) + \frac{W}{L} C_{OX} \frac{\mu_n}{2F_B} \cdot \sum_{n=1}^N (A_n(t) \cdot n\pi) \quad (2.45)$$

$$I_{DC}(t) = \frac{W}{L} C_{OX} \frac{\mu_n}{2F_B} (P_S(t) - P_D(t))(1 + \lambda V_{ds}(t)) \quad (2.46)$$

$$P_S(t) = (V_{gst}(t) + F_B V_t)^2 \quad (2.47)$$

$$P_D(t) = (V_{gst}(t) + F_B V_t - F_B (\phi_{sL}(t) - \phi_{s0}(t)))^2 \quad (2.48)$$

$$\phi_{sL}(t) = \phi_{s0}(t) + VDS(t) \quad (2.49)$$

$$V_{gst}(t) = V_{gb}(t) - V_{FB} - \phi_{s0}(t) - \gamma \sqrt{\phi_{s0}(t) - V_{th}} \quad (2.50)$$

$$F_B = 1 + \frac{0.5\gamma}{\sqrt{\phi_{s0}(t) - V_t}} \left\{ 1 - \frac{1}{1.744 + 0.8364(\phi_{s0}(t) - V_{th})} \right\} \quad (2.51)$$

ここで λ はチャネル長変調係数、 γ は従来のバルク効果係数を表す。この記述の特徴は電流値を DC の成分と NQS の成分の和に表していることにある。さらに NQS についてはフーリエ級数を用いて記述している。 $A_n(t)$ は簡略化した電流方程式から導き出される状態方程式を解くことにより得られる係数である。

式(2.44)、(2.45)に示されるように I_D および I_S は DC 成分 I_{DC} と状態変数 $\{A_n\}$ の線形結合となっている過渡成分に分解されている。

$\phi_{s0}(t)$ と $\phi_{sL}(t)$ はそれぞれチャネルのソースおよびドレイン端での表面電位であるが、 $\phi_{s0}(t)$ は charge sheet 式 [7-9] を使って計算される。文献[7]に示されている $(V_{gb} - V_{FB})$ に対する表面電位曲線の間関係をスプライン関数の形で計算機のメモリーに保存している。それゆえスプライン関数を参照することによって表面電位を見つけるための繰り返し計算をしなくて済むようにしている。また、ソース・ドレイン間の実効電圧 VDS は、滑らかなスプライン関数を使って印加ソース・ドレイン

電圧 V_{ds} とドレイン飽和電圧 V_{dsSAT} から計算される。 V_{DS} は線形領域では V_{ds} に近づき、飽和領域では V_{dsSAT} に漸近していく。 V_{DS} は印加電圧に関して第 2 次導関数までの連続性を持って線形と飽和領域の間を滑らかに変化していく。

本方式の特徴は、キャリアがソースからドレインに流れ始め、その先端がドレインに到達していない状態、すなわちチャンネルが完全に形成されていない状態でまだドレイン電流が観測されない状態（移動境界条件(Moving boundary condition)）を表現できていることである。また QS モデルでは電荷の partitioning が固定されるのに対して、本法では電荷 partitioning は移動境界条件のもとでも自動的に計算される。例えばゲート電圧が turn-on し始めてから飽和領域までの変化において電荷の分割比（ソース/ドレイン）は 100/0 から 60/40 まで連続に変化する。

しかしながら本手法は、式 (2.44)、(2.45) に見られる状態変数 $\{A_n\}$ を外部電圧が変わるたびに求める必要がある。このためにこの行列方程式をガウスの消去法によって解いている。従って計算時間を要する手法になっている。また、式 (2.44)、(2.45) は級数で表されていることから、何項まで計算に組み入れるかは誤差と計算時間の兼合いとなる。報告では n は 10 までとしている。

SPICE3 による NMOSFET の turn-on 過渡解析において、計算時間は QS モデルの約 3 倍になると報告している。

(3) トランジスタの等価回路に抵抗を付加する方法

このモデルは外部信号に対するチャンネル電荷応答を緩和時間で近似した方法である。図 2.10(a) に QS モデルを等価回路で示す。この場合、ゲート電圧の変化によってチャンネルがチャージされる有限の時間を無視している。図 2.10(b) はチャンネルをチャージする有限の時間を考慮するために抵抗 R_{Elmore} を挿入し、RC 積による遅延時間を生じさせている。この方法は BSIM3 の Versin3.2 に導入されている[24]。

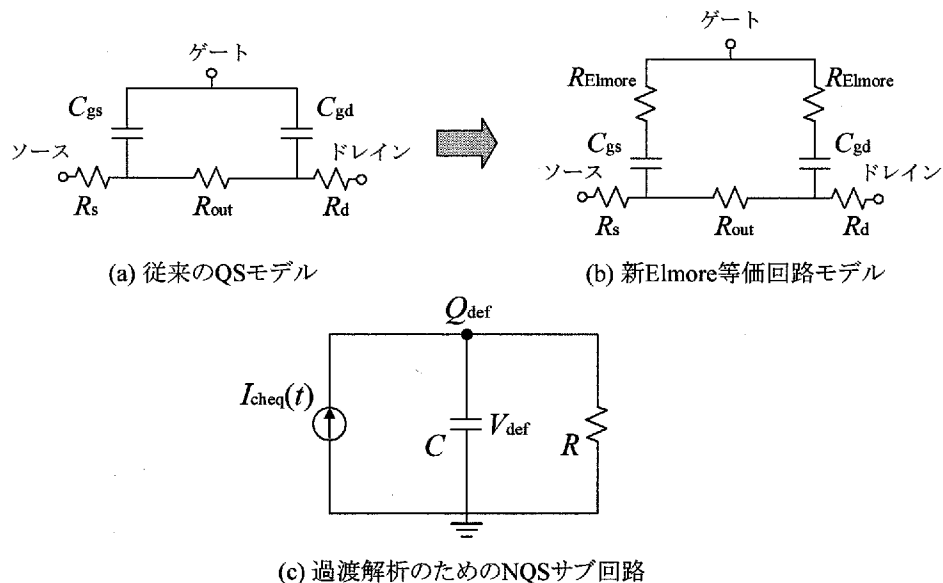


図 2.10 Quasi-Static モデルと Non-Quasi-Static モデルの MOSFET 等価回路

図 2.10(c) は Non-Quasi-Static モデルを回路シミュレータに導入するための RC サブ回路を示している。ノード Q_{def} はチャンネル電荷が平衡状態に至るまでの電荷の過不足を緩和時間に基づいて表

す役目を持っている。\$R\$ は RC 時定数から決まるバイアス依存性を持った抵抗である。\$I_{\text{cheq}}(t)\$ は平衡状態でのチャンネル電荷 \$Q_{\text{cheq}}(t)\$ によって決まる電流源である。\$Q_{\text{def}}(t)\$ は次式で表される。

$$Q_{\text{def}}(t) = V_{\text{def}} \times C \quad (2.52)$$

強反転領域での緩和時間を \$\tau_{\text{drift}}\$、弱反転領域での緩和時間を \$\tau_{\text{diff}}\$ とする。なお \$\tau_{\text{drift}}\$ は \$R_{\text{Elmore}}\$ によって決まる。全体の緩和時間を次式で表すものとする。

$$\frac{1}{\tau} = \frac{1}{\tau_{\text{drift}}} + \frac{1}{\tau_{\text{diff}}} \quad (2.53)$$

\$R_{\text{Elmore}}\$、\$\tau_{\text{drift}}\$ および \$\tau_{\text{diff}}\$ は定常状態すなわち Quasi-Static モデルで計算される値を使って以下のように近似する。

$$R_{\text{Elmore}} \approx \frac{L^2}{5\mu Q_{\text{cheq}}} \quad (2.54)$$

$$\tau_{\text{drift}} \approx \frac{C_{\text{OX}}WL^3}{5\mu Q_{\text{cheq}}} \quad (2.55)$$

$$\tau_{\text{diff}} = \frac{qL^2}{16\mu kT} \quad (2.56)$$

\$Q_{\text{def}}(t)\$ と緩和時間との関係は以下式で表される。

$$Q_{\text{def}}(t) = Q_{\text{cheq}}(t) - Q_{\text{ch}}(t) \quad (2.57)$$

$$\frac{\partial Q_{\text{def}}(t)}{\partial t} = \frac{\partial Q_{\text{cheq}}(t)}{\partial t} - \frac{Q_{\text{def}}(t)}{\tau} \quad (2.58)$$

$$\frac{\partial Q_{\text{D,G,S}}(t)}{\partial t} = D, G, S_{\text{xpart}} \frac{Q_{\text{def}}(t)}{\tau} \quad (2.59)$$

ここで \$S_{\text{xpart}}\$ と \$D_{\text{xpart}}\$ はソースとドレインに対するチャンネル電荷の分割割合で、\$S_{\text{xpart}} + D_{\text{xpart}} = 1\$ となる。また \$G_{\text{xpart}}\$ は -1 である。式(2.59)は時間ステップごとに回路シミュレータに渡す各端子の変位電流である。

BSIM3 の NQS モデルでは従来の Quasi-Static モデルに上述の式を追加したモデルとなっている。計算時間は Quasi-Static モデルに比較し 30% 増加すると報告されている[23]。

本手法は回路シミュレータに導入するために図 2.10(c)に示すサブ回路が必要で、このためのノードが一つ必要となる。また、ゲート電圧が turn-on した後のまだチャンネルが形成されていない状態、すなわち「遅延メカニズムを級数展開により表す方法」の項で述べた移動境界条件を表すことができないという欠点がある。

従来の代表的な Non-Quasi-Static MOSFET モデルについて述べたが、それぞれ一長一短がある。本研究の Non-Quasi-Static MOSFET モデルの開発において以下の実現を目標とした。

- ・物理現象を良く表現している表面ポテンシャルモデルをベースとした Quasi-Static モデルに Non-Quasi-Static モデルを付加すること。
- ・チャンネルが形成の過程など物理現象を忠実に表現すること。
- ・計算時間が Quasi-Static MOSFET モデルと比較し 10%以内の増加にとどまるよう、計算時間の少ない定式化を行うこと。

参考文献

- [1] L.W. Nagel: "SPICE2: A Computer Program to Simulate Semiconductor Circuits", Electronics Research Laboratory, Rep. No. ERL-M520, University of California, Berkeley, 1975
- [2] 三浦道子、上野弘明: "デバイスモデルと回路シミュレーション", 応用物理 第 71 巻 第 6 号 pp.726-730 (2002)
- [3] S.-Y. Oh, D.E. Ward, and R.W. Dutton: "Transient Analysis of MOS Transistors", IEEE J. Solid-State Circuits SC-15 pp.636-643 (1980)
- [4] Y. Tsividis: "Operation and Modeling of The MOS Transistor", 2nd edition (New York, McGraw-Hill, 1999).
- [5] H.C. Pao and C.T. Sah: "Effects of diffusion current on characteristics of metal-oxide (insulator) -semiconductor transistors", Solid-State Electron. 9 pp.927-937 (1966)
- [6] C.R. Crowell and S.M. Sze: "Temperature Dependence of Avalanche Multiplication", Appl. Phys. Lett. 9 pp.242 (1966)
- [7] J.R. Brews: "A charge-sheet model of the MOSFET", Solid-State Electron. 21 pp.345-355 (1978)
- [8] F. van der Wiele: "A long-channel MOSFET model", Solid-State Electron. 22 pp.991-997 (1979)
- [9] G. Baccarani, M. Rudan, and G. Spadini: "Analytical i.g.f.e.t. model including drift and diffusion currents", IEEE J. Solid-State Electron Devices 2 pp.62-68 (1978)
- [10] M. Miura-Mattausch, U. Feldmann, A. Rahm, M. Bollu, and D. Savignac: "Unified complete MOSFET model for analysis of digital and analog circuits", IEEE Trans. CAD/ICAS 15 pp.1-7 (1996)
- [11] C.T. Sah, "Characterisitcs of the metal-oxide-semiconductor transistor", IEEE Trans. Electron Devices, ED-11, pp.324-345 (1964)
- [12] J.E. Meyer: "Mos models and circuit simulation", RCA Rev. 32 pp.42-63 (1971)
- [13] BSIM 4.0.0 MOSFET Model, User's Manual, Development of Electrical Engineering and Computer Science, University of California, Berkeley, CA (2000)
- [14] Y.P. Tsividis and K. Suyama: "MOSFET modeling for analog circuit CAD: problems and prospects" IEEE J. Solid-State Circuits 29 pp.210-216 (1994)
- [15] M. Miura-Mattausch, H.J. Matausch, N.D. Arora, and C.Y. Yang: "MOSFET Modeling gets physical", IEEE Circuit & Devices 17 [6] pp.29-36 (2001)
- [16] M. Miura-Mattausch, H. Ueno, H.J. Matausch, S. Kumashiro, T. Yamaguchi, K. Yamashita and N. Nakayama: "Circuit Simulation Models for Coming MOSFET Generations", IEICE Fundamentals E85-A [4] pp.740-748 (2002)

- [17] <http://www.eigroup.org/cmc/minutes/mm061801.pdf>
- [18] S.Y. Oh: "A simplified two-dimensional numerical analysis of MOS devices including transient phenomena" Rechnical Report G201-10, Integrated Circuits Laboratory, Stanford University, California, June 1981.
- [19] A.J. Scholten, R. van Langevelde, L.F. Tiemeijer, R.J. Havens, D.B. M. Klaassen and Prof. Holstlaan: "Compact MOS Modeling for RF CMOS Circuit Simulation", Proc. SISPAD, Athens, 2001 (Springer, Wien 2001) pp.194.
- [20] C. Turchetti, P. Mancini, and G. Masetti: "A CAD-Oriented Non-Quasi-Static Approach for the Transient Analysis of MOS IC's", J. Solid-State Circuits. SC-21, No. 5, pp.827-836 (1989)
- [21] H.J. Park, P.K. Ko, and C. Hu: "A Non-Quasi-Static MOSFET Model for SPICE- Transient Analysis", IEEE Trans. on Electron Devices, Vol. 36, No. 3, pp.561-576 (1989)
- [22] K.-I. Lee, J. Kim, Y.J. Park, and H.S. Min: "Simple Frequency-Domain Analysis of MOSFET – Including Nonquasi-Static Effect", IEEE Trans. CAD/ICAS, 20, No. 7, pp.867-876 (2001)
- [23] M. Chan, K.Y. Hui, C. Hu, and P.K. Ko: "A Robust and Physical BSIM3 Non-Quasi-Static Transient and AC Small-Signal Model for Circuit Simulation", IEEE Trans. on Electron Devices, Vol. 45, No. 4, pp.834-841 (1998)
- [24] W. Liu, X. Jin, J. Chen, M.-C. Jeng, Z. Liu, Y. Cheng, K. Chen, M. Chan, K. Hui, J. Huang, R. Tu, P.K. Ko and C. Hu: "BSIM3v3.2.2 MOSFET Model Users' Manual", Department of Electrical Engineering and Computer Sciences, University of California, Berkeley, 1999

第3章 2次元デバイスシミュレータを用いた MOSFET の過渡解析

Non-Quasi-Static モデル開発のための知見を得るため、電流連続方程式を数値的に解いている 2 次元デバイスシミュレータによる MOSFET の過渡解析を行った。本章では、このシミュレーションによるデバイス内部の電位分布、キャリア応答、電流特性の結果について述べ、これらの結果から Non-Quasi-Static モデルで重要となる現象についてまとめる。

3.1 2次元デバイスシミュレータと計算対象とした MOSFET 構造

2 次元デバイスシミュレータは式(2.6)から(2.9)の半導体基本方程式を数値的に忠実に解くシミュレータで、その中で使われている移動度モデルや材料パラメータが適切にチューニングされていれば、実測の特性を精度良く再現する。一般にデバイスシミュレータは、直流の電圧-電流特性を解析する DC 解析、高周波の電圧-電流特性を解析する AC 解析、過渡応答を解析する過渡解析の 3 種類の解析が可能である。

本研究では市販の 2 次元デバイスシミュレータ MEDICI[1]を用いて過渡解析を行い、NMOSFET 内の挙動を調べた。計算対象とした NMOSFET の構造を図 3.1 に示す。

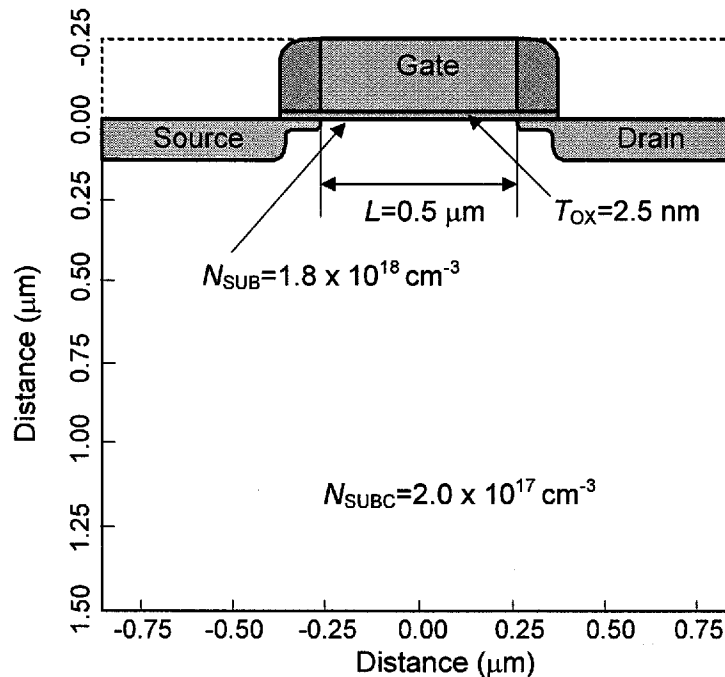


図 3.1 2次元シミュレーションに用いた MOSFET 構造

対象とした NMOSFET はキャリアのチャネル内走行時間が数 ps と比較的長く、キャリア動作が把握しやすいゲート長 $0.5\mu\text{m}$ を選んだ。MOSFET 構造は $0.13\mu\text{m}$ CMOS テクノロジーで使われている構造を採用した。すなわち、ゲート酸化膜厚は 2.5nm 、ソース、ドレイン近傍の p 形基板不純物濃度 $1.8 \times 10^{18}/\text{cm}^3$ 、基板濃度は $2.0 \times 10^{17}/\text{cm}^3$ である。シミュレーション領域は、深さ方向についてはチャネル表面を 0 としてゲート側 $-0.25\mu\text{m}$ から基板側 $1.5\mu\text{m}$ 、横方向についてはチャネル中央を 0 として左右 $0.9\mu\text{m}$ ずつとり、合計深さ方向 $1.75\mu\text{m}$ x チャネル方向 $1.80\mu\text{m}$ の領域とした。

シミュレーションに先立ち、実デバイスの直流電圧-電流特性との合わせ込みのために、シミ

ユレータに含まれるデバイスパラメータのチューニングを行った。

3.2 チャンネル内の表面電位応答

本研究の成果は MOSFET モデル HiSIM[2-4]に組み込むことを目指しているが、HiSIM は表面ポテンシャルを基本にしている。それゆえ、外部から印可される電圧変化に対してトランジスタ内の表面電位がどのように応答するかを知っておくことは重要である。図 3.2(a)において $V_{ds}=1V$ 一定とし、ゲート電圧を $0V$ から $1.5V$ まで立ち上げる時間 t_r を $20ps$ と $40ps$ とした場合のチャンネル表面の電位分布を図 3.2(b)に示す。図中の t_1 は t_r の $1/4$ の時刻すなわち $t_r=20ps$ の場合は turn-on 後 $5ps$ 時点、 $t_r=40ps$ の場合は $10ps$ 時点を表しているが、いずれの場合も V_{gs} は $0.375V$ である。同様に t_r の $2/4$ 、 $3/4$ 、 $4/4$ の時刻である t_2 、 t_3 、 t_4 に対する V_{gs} は $0.75V$ 、 $1.125V$ 、 $1.5V$ である。実線は $t_r=20ps$ 、点線は $t_r=40ps$ の場合である。図から turn-on からの経過時間が異なっても入力電圧が同じであればほぼ同一の電位分布になることが分かった。即ち、チャンネル内の表面電位は外部電圧の時間変化に依存せず、おおむね外部電圧に瞬時に応答していると仮定できることが分かった。

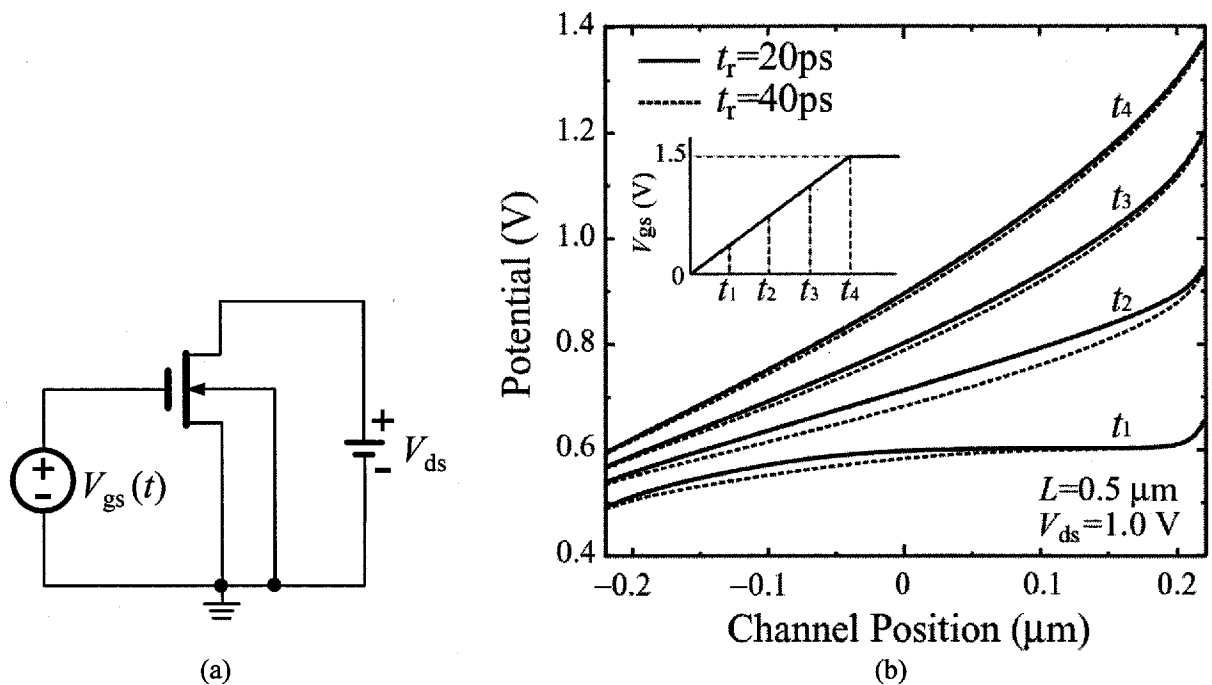


図 3.2 (a)電圧印加回路 (b)印加電圧の時間変化に対するチャンネル表面電位分布

3.3 MOSFET の turn-on 過渡特性

3.3.1 チャンネル内のキャリア応答

ゲート電圧の変化に対してキャリアが MOSFET 内でどのように応答するかを解析した。ゲート電圧を $20ps$ の時間をかけて $0V$ から $1.5V$ まで一定の割合で変化させた時のキャリア密度分布を図 3.3 に示す。 V_{ds} は $1V$ 一定である。

いずれの時間においてもキャリア密度はソースからドレインに向かって直線的に減少している。また、キャリア密度分布は傾きをほぼ保ったままで時間とともに平行に上昇していくことから、

ゲート電圧が一定の割合で増加していくとソース端にほぼ一定の割合でキャリアが注入されていることが分かる。いまキャリア密度分布直線がX軸と交わる点、すなわちキャリア密度が0となる点をキャリアフロント位置 y_f と呼ぶことにする。 y_f は時間とともにドレインに向かって進んで行き、ほぼ 14ps でドレインに到達している。この時点でチャンネルが形成されたことになる。

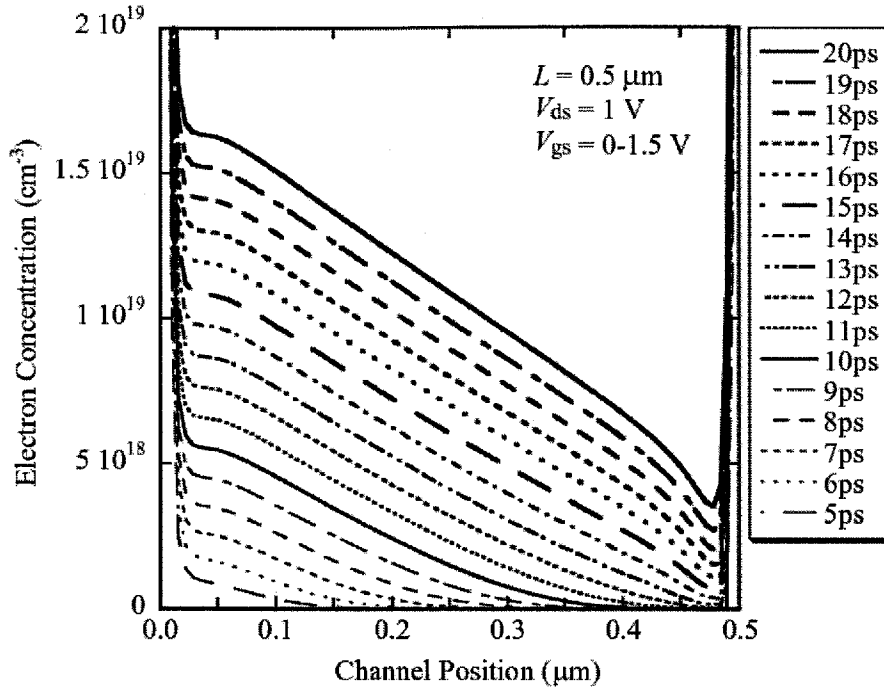


図 3.3 turn-on 時のキャリア密度分布の時間変化

いま y_f の移動を時間の関数として詳しく見ることにする。便宜上キャリア濃度がチャンネル部の基板不純物濃度 N_{subc} に等しい時の点を y_f と再定義することにする。

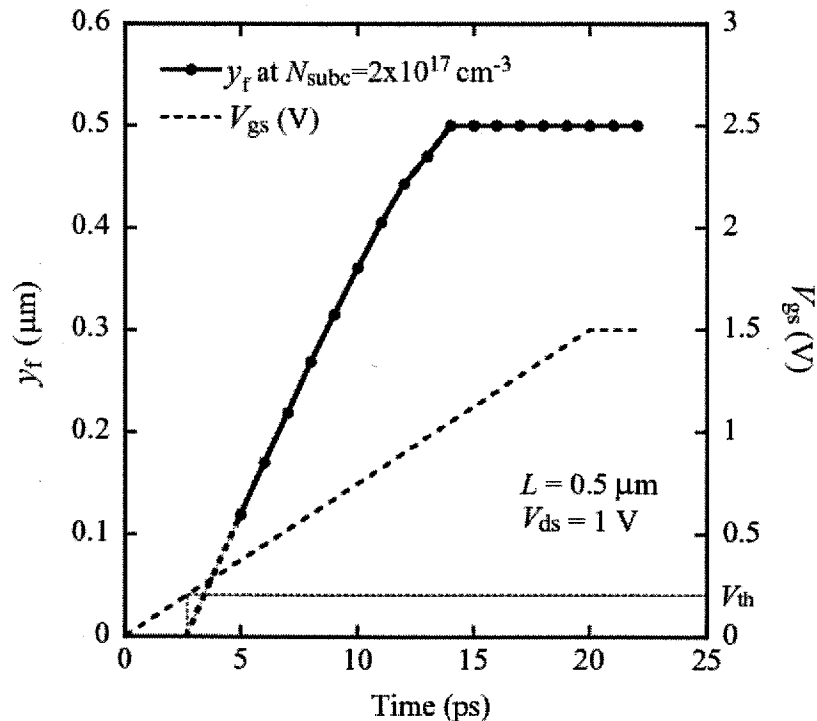


図 3.4 チャンネル先端位置の時間変化

この定義による y_f の時間変化を図 3.4 に示す。ゲート電圧がしきい値電圧 V_{th} (本 MOSFET モデルでは 0.22V) になるとキャリアが発生し始める。すなわち図より 2.5ps の時点まで $y_f=0$ になる。この点とシミュレーションで得られた 5ps での y_f を破線で結んで示した。この結果よりチャンネル形成前のキャリア先端位置 y_f はほぼ直線的に変化していくことが分かった。

図 3.5 に表面ポテンシャルの時間依存性を示す。また図 3.4 で与えられる y_f をそれぞれの時間について黒点で示した。チャンネルがまだ形成されていない 14ps 以前ではキャリアが存在する、即ち y_f を境にソース側ではポテンシャルが直線的に変化するのに対して、キャリアが存在しないドレイン側ではポテンシャルは変化せず水平となっている。一方、14ps 以後のキャリア先端がドレインに到達している状態ではポテンシャルはソースからドレインにかけて直線的に変化している。

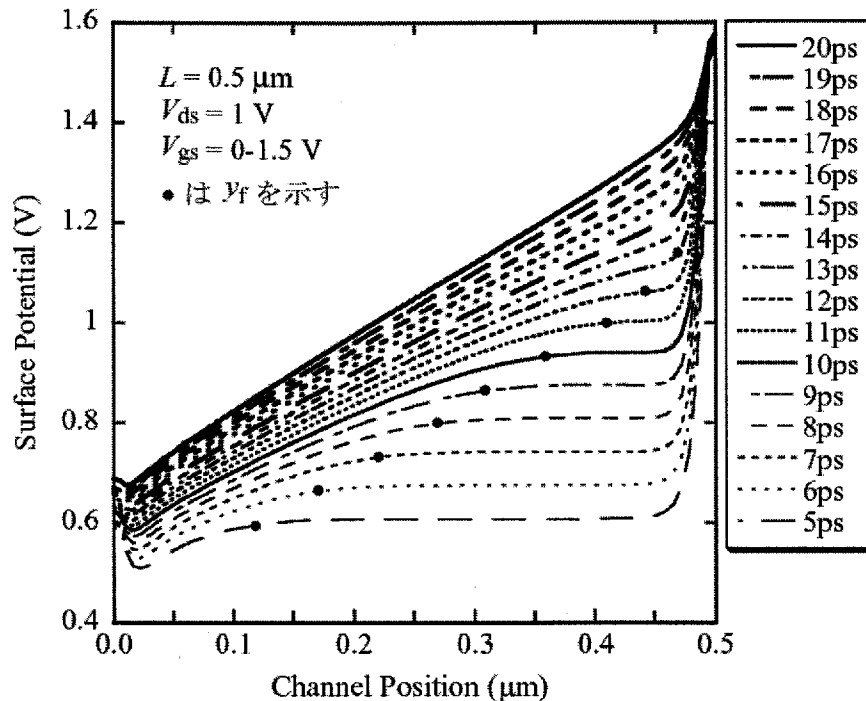


図 3.5 turn-on 時の表面ポテンシャルの時間依存性

3.3.2 過渡電流特性

このトランジスタの時間応答は式(2.2)および(2.3)で表される[5]が、ここで再度示す。

$$I_a(t) = I_{a0}(t) - \frac{dQ_{a0}}{dt} \quad (3.1)$$

$$= I_{a0}(t) - \sum_{b=G,S,D,B} \frac{\partial Q_{a0}}{\partial V_b} \frac{dV_b}{dt} \quad (3.2)$$

いま、 V_{ds} と V_{bs} を一定とし、 V_{gs} のみが増加するものとする、上式よりドレインおよびソース電流は次式で示される。

$$I_d(t) = I_{d0}(t) - \frac{dQ_{d0}}{dt} = I_{d0}(t) - \frac{\partial Q_{d0}}{\partial V_{gs}} \frac{dV_{gs}}{dt} \quad (3.3)$$

$$I_s(t) = I_{s0}(t) - \frac{dQ_{s0}}{dt} = I_{s0}(t) - \frac{\partial Q_{s0}}{\partial V_{gs}} \frac{dV_{gs}}{dt} \quad (3.4)$$

ここで I_{d0} および I_{s0} はドレインおよびソースに流れる伝導電流であり、ゲート電流および基板電流が無視できる場合は式(3.5)の関係がある。式(3.3)、(3.4)のそれぞれの第2項は変位電流である。

$$I_{d0}(t) = -I_{s0}(t) \quad (3.5)$$

図 3.6 に $V_{ds}=1V$ 一定とし、 V_{gs} を $0V$ から $1.5V$ まで $20ps$ の時間をかけて一定の割合で上昇した場合のソース、ドレイン電流および伝導電流の特性を示す。ゲート電流を on にし始めた直後に I_d および I_s が急に流れ出すのはオーバーラップ容量のチャージングのための電流である。 I_s はゲート電圧が一定の時間割合で上昇することに対応して直線的に増加し、ゲート電圧の上昇が一定になる $20ps$ 以降は定常状態に近づいていく。一方、 I_d は $14ps$ 近辺までは一定の負の電流である。これはまだチャンネルが形成されていない状態で、ドレインから電子がオーバーラップ容量をチャージングするために流入していることを示している。チャンネルが形成された後はドレイン電圧によりチャンネル内の電子がドレインに引き寄せられ、ドレインに流れ始める。伝導電流はゲート電圧が V_{th} 以上になる $2.5ps$ 以降から流れ始めていることが分かる。ゲート電圧が一定となる $20ps$ 以降に伝

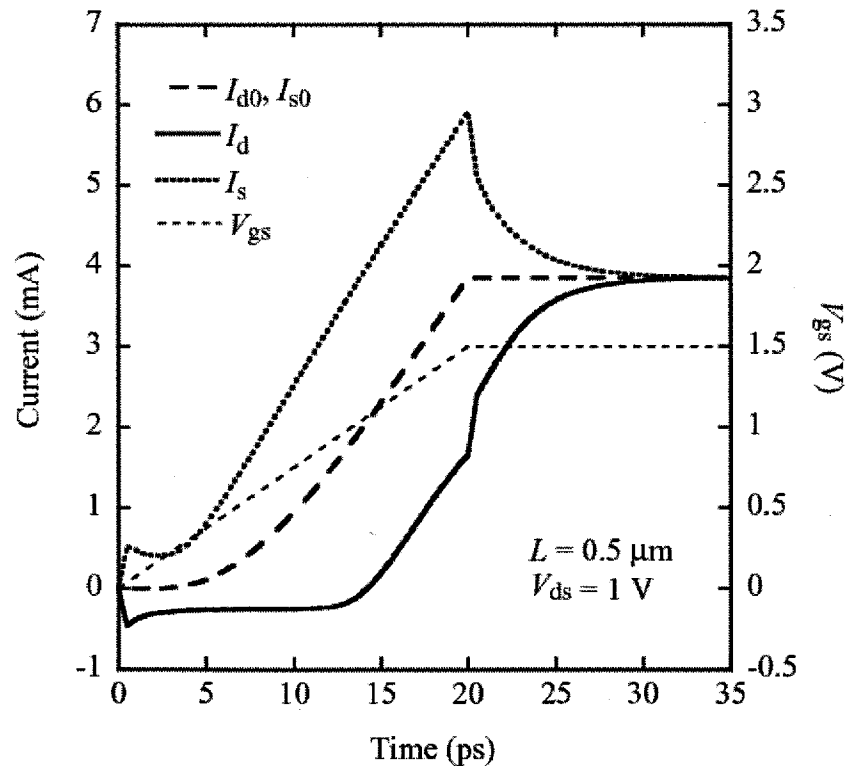


図 3.6 立ち上がり時間 $t_f=20ps$ に対する電流特性

導電流が一定を保つのに対して、 I_d は約 $10ps$ 程度の時間をかけて徐々に定常状態になっていくこ

とがわかる。これはキャリアがトランジスタ内の走行に時間を要していることを表している。

図 3.7 に立ち上がり時間 $t_r=20\text{ps}$ に対する変位電流を示す。変位電流は式(3.1)より、まず 2 次元デバイスシミュレーションの過渡解析解と各ゲート電圧に対応した定常解析解（直流解析）をそれぞれソース電流およびドレイン電流を求める。次に、同一のゲート電圧に対応する過渡解析から得られたソース電流と定常解析得られたソース電流との差を求める。これがソースの変位電流となる。ドレインの変位電流も同様にそれぞれのドレイン電流の差を計算してドレインの変位電流を計算した。

ソースの変位電流とドレインの変位電流の和はチャンネル全体の変位電流を意味しており、これも図に示した。ソースとドレインの変位電流変化はほぼ同様の傾向を示すが、チャンネルが形成される前の 14ps 以前はソースからのみチャンネル形成のための電子が注入されるため、ソースの変位電流が大きくなっている。全体の変位電流については、チャンネルが形成される 14ps までは直線的に増加しており、トランジスタ内に電荷が増加していくことが分かる。チャンネル形成され後は、変位電流は一定に近づいている。変位電流の増加が抑えられるのは、ソースから流入される電子が、チャンネルが形成されたことによりドレインから流出することによるものである。ゲート電圧が 1.5V で上昇を停止するとトランジスタ内の電荷量は定常状態に向かうため電荷の変化量は少なくなり、変位電流は最終的に 0 になる。

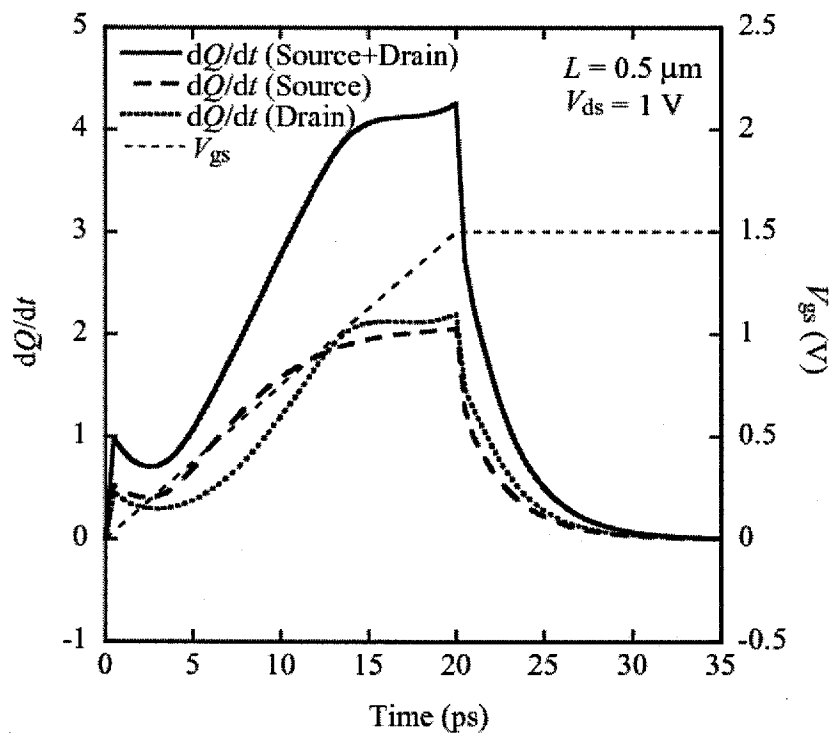


図 3.7 立ち上がり時間 $t_r=20\text{ps}$ に対する変位電流特性

3.4 MOSFET の turn-off 過渡特性

図 3.8 に $V_{ds}=1\text{ V}$ 一定で、ゲート電圧を 20ps の時間をかけて 1.5V から 0V まで一定の割合で減少させた時のキャリア密度分布を示す。 V_{gs} が V_{th} に等しくなる 17ps に至るまではソース近傍での電子濃度はほぼ等間隔で減少している。Turn-on 時と異なり、電子濃度分布はソース側からドレイン側に向けて直線的に減少せず、上に丸みをおびた形で、そのピーク位置は時間経過とともにソース側からドレイン側に移動し、最終的にはチャンネル中央になっている。

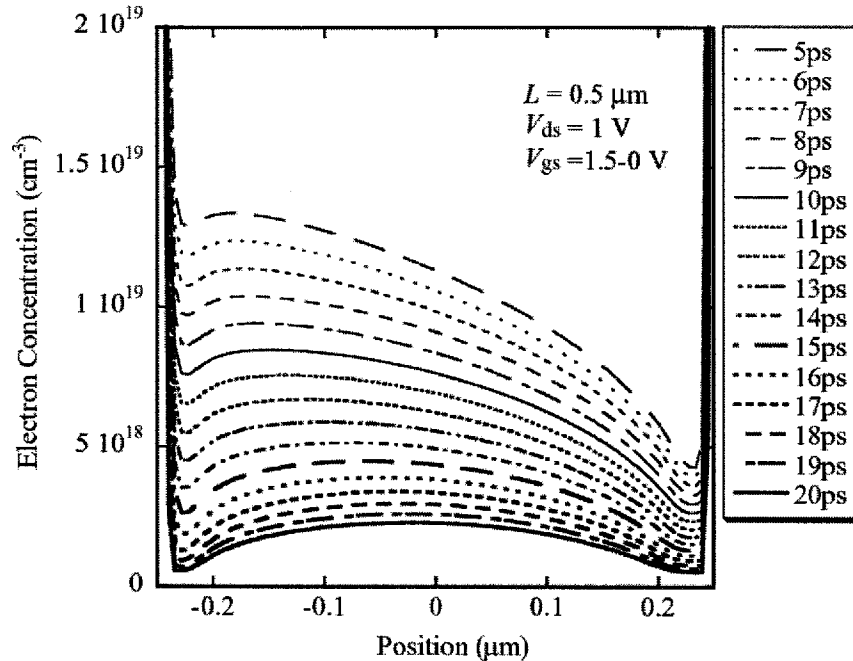


図 3.8 turn-off 時のキャリア密度分布の時間変化

図 3.9 に同条件での電流特性を示す。図からソース電流は常に定常電流より小さくチャンネルからソースに電子が流れ出ていることが分かる。またドレイン電流は常に定常電流より大きく、これもチャンネルからドレインに電子が流れ出ていることが分かる。このことから turn-off の場合、電子濃度分布が上に丸みを生じる理由は、ソースとドレインの両側から電子が流れ出ることにより、チャンネル中央部に電子が残るためである。また、図 3.8 の 20ps での（すなわちゲート電圧が 0V になった時の）最小電子濃度は $5.2 \times 10^{17} \text{ cm}^{-3}$ である。これは基板の不純物濃度が $2.0 \times 10^{17} \text{ cm}^{-3}$ であることを考えると、まだ十分にチャンネルが形成できるキャリアが存在していることが分かる。

図 3.10 に turn-off 時の表面ポテンシャルの分布を、図 3.11 に変位電流特性を示す。表面ポテンシャルはチャンネル内で下に丸みをおびた分布になっている。図 3.11 には分かることは、ゲート電圧がかかっている間は常にソースの変位電流がドレインのそれに比べて小さい。これは電子のチャンネルへの流入とソースへの流出が相殺されるため、変化量としては小さくなるためである。変位電流はゲート電圧が 0V になってもまだ流れている。これはこの時点でまだチャンネルにキャリアが存在しており、これ以降もソースおよびドレインの両方に流れ出ていることが分かる。

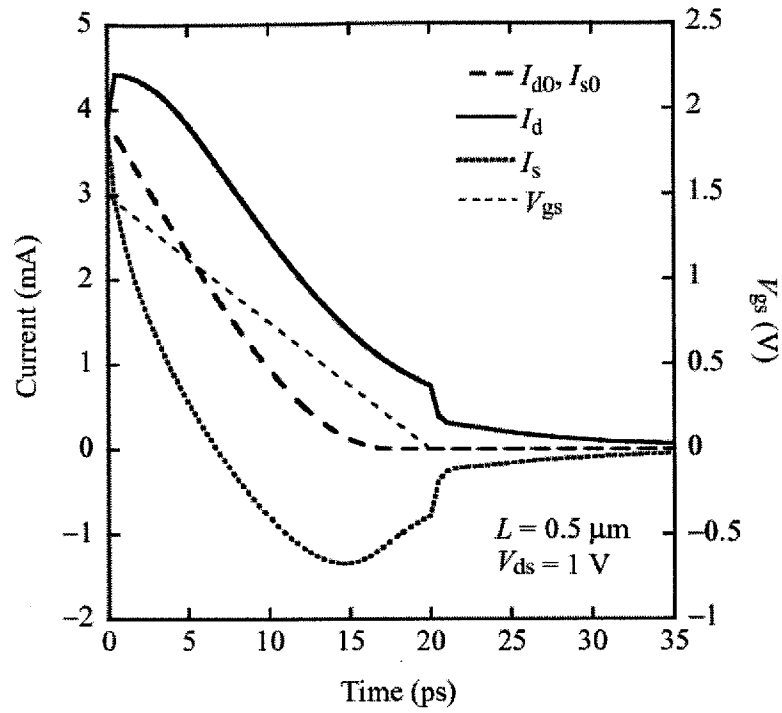


図 3.9 立ち下がり時間 $t_f=20\text{ps}$ に対する電流特性

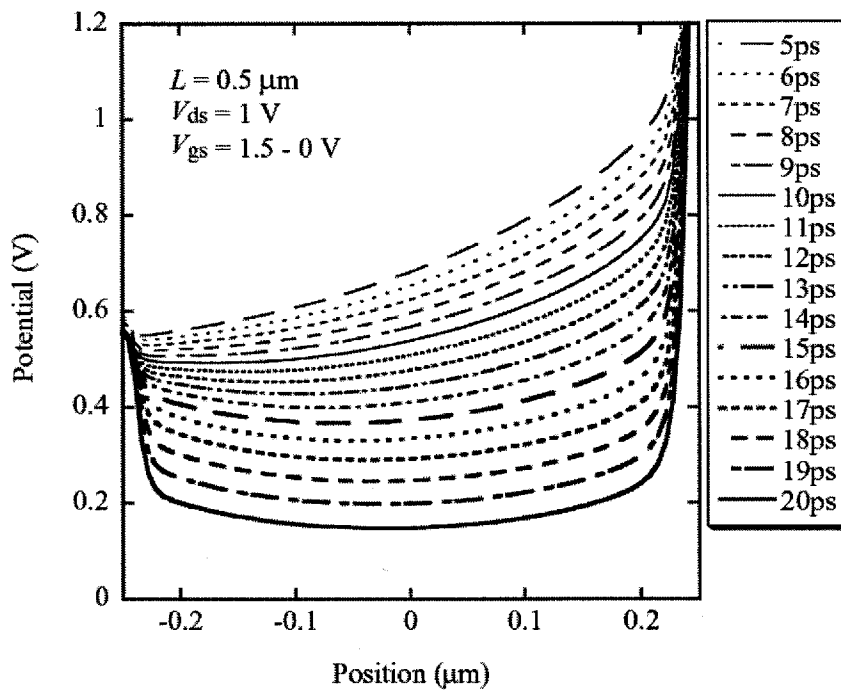


図 3.10 turn-off 時の表面ポテンシャルの時間依存性

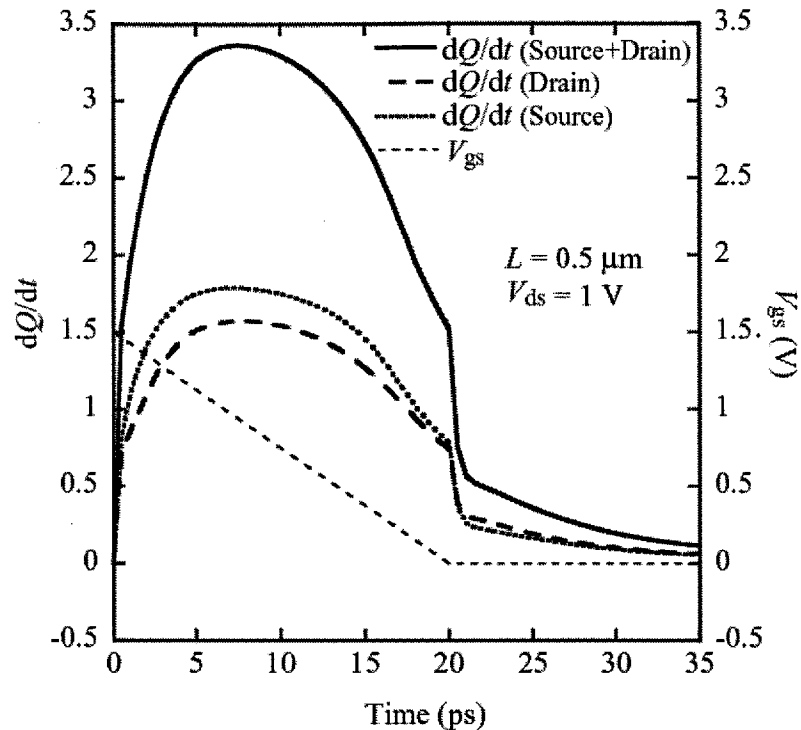


図 3.11 立ち下がり時間 $t_f=20\text{ps}$ に対する変位電流特性

3.5 MOSFET 過渡解析のまとめ

2次元デバイスシミュレータを用いて、ゲート長 $0.5\mu\text{m}$ で $V_{ds}=1\text{V}$ 一定の条件下での MOSFET の turn-on および turn-off の過渡解析を行った。その結果を以下にまとめる。

(a) turn-on 動作

- ・ゲート電圧の上昇時、電子濃度分布はソースからドレイン方向に直線的に減少する。
- ・チャネル形成前のキャリア先端位置 y_f は、ゲート電圧が一定速度で上昇する時は一定速度でドレインに向かって移動する。
- ・チャネル内の表面ポテンシャルは電子が存在する区間ではソースからドレインに向かって直線的に上昇するが、チャネルが形成されていない場合は、キャリア先端位置 y_f よりドレイン側の区間では一定の電位となる。
- ・チャネル全体に対する電荷の時間変化量は、チャネル形成前は直線的に増加するが、チャネル形成後は一定になる。
- ・ゲート電圧の上昇が停止した後もドレイン電流は上昇し続け、定常状態になるまでに有限の時間を要する。

(b) turn-off 動作

- ・ゲート電圧の下降時、電子はチャネルからソースおよびドレインの両方に流出するため、電子濃度分布は中央部が濃度の高い上に丸みを持った分布となる。
- ・表面ポテンシャル分布は電子濃度分布に対応してチャネル中央部が電位の低い下に丸みを持

った分布となる。

- ・ゲート電圧が 0V になった直後はまだチャネルが途切れることはなく、デバイス内にキャリアがチャネル中央で最も多い状態で存在する。
- ・ゲート電圧が 0V になった以降もチャネルから電荷が無くなるまで有限の時間を要する。

参考文献

- [1] MEDICI *User's Manual*, Avant!, 1997.
- [2] M. Miura-Mattausch, U. Feldmann, A. Rahm, M. Bollu, and D. Savignac: "Unified complete MOSFET model for analysis of digital and analog circuits", IEEE Trans. CAD/ICAS 15 pp.1-7 (1996)
- [3] M. Miura-Mattausch, H.J. Matusch, N.D. Arora, and C.Y. Yang: "MOSFET Modeling gets physical", IEEE Circuit & Devices 17 [6] pp.29-36 (2001)
- [4] M. Miura-Mattausch, H. Ueno, H.J. Matusch, S. Kumashiro, T. Yamaguchi, K. Yamashita and N. Nakayama: "Circuit Simulation Models for Coming MOSFET Generations", IEICE Fundamentals E85-A [4] pp.740-748 (2002)
- [5] S.-Y. Oh, D.E. Ward, and R.W. Dutton: "Transient Analysis of MOS Transistors", IEEE J. Solid-State Circuits SC-15 pp.636-643 (1980)

第4章 Non-Quasi-Static モデルの開発

4.1 過渡電流の基本式

NQS 効果を考慮するために、電流密度方程式を電流連続方程式と一緒に解かれなければならない。

$$\text{Current density equation : } I(y,t) = qW\mu n(y,t) \frac{d\phi(y,t)}{dy} \quad (4.1)$$

$$\text{Current continuity equation : } \frac{dn(y,t)}{dt} = -\frac{1}{qW} \frac{dI(y,t)}{dy} \quad (4.2)$$

ここで $I(y,t)$ 、 $n(y,t)$ および $\phi(y,t)$ はそれぞれ時間 t におけるチャンネル内位置 y での電流、電子密度および表面電位である。 q 、 W そして μ はそれぞれ電子電荷、トランジスタ幅そしてキャリア移動度である。

Oh 等は gradual チャンネル近似のもとでドレインおよびソース電流の閉じた解を導き出した[1]。式(4.2)をソース($y=0$)からチャンネルに沿って y の位置まで積分し、これを式(4.1)に代入して次式を得る。

$$\begin{aligned} qW \int_0^y \frac{dn(y',t)}{dt} dy' &= \int_0^y dI(y,t) \\ &= -qW\mu n(y,t) \frac{d\phi(y,t)}{dy} + I(0,t) \end{aligned} \quad (4.3)$$

これを再びソースからドレイン($y=L$)までの積分により次式が得られる。

$$\begin{aligned} I(0,t) &= I(L,t) \\ &= q \frac{W}{L} \int_{\phi_{s0}}^{\phi_{sL}} n(y,t) d\phi(y,t) + q \frac{W}{L} \int_0^L \int_0^y \frac{dn(y',t)}{dt} dy' dy \end{aligned} \quad (4.4a)$$

$$= I_0(t) + \frac{qdn(y,t)}{dt} \quad (4.4b)$$

ここで L はチャンネル長であり、 ϕ_{s0} および ϕ_{sL} はそれぞれソースおよびドレイン端での表面電位である。式(4.4b)は過渡電流が conductive 電流 (右辺第一項) と displacement 電流 (右辺第二項) に分けて記述されたことを示している。conductive 電流は定常状態の条件のもとで記述されている。

回路シミュレータは $n(y,t)=n(t)=n(V(t))$ として、即ち QS 近似のもとで式(4.4b)を解くことになる。更に、

$$\frac{qdn(V(t))}{dt} = \frac{q\partial n(V(t))}{\partial V_G} \frac{dV_G}{dt} + \frac{q\partial n(V(t))}{\partial V_S} \frac{dV_S}{dt} + \frac{q\partial n(V(t))}{\partial V_D} \frac{dV_D}{dt} \quad (4.5)$$

とする。ここで $q\partial n(V(t))/\partial V$ は容量を与えている。

4.2 過渡キャリア密度分布のモデル化

本研究では電流連続方程式を満足する $n(y,t)$ の解析的な記述を開発することが目的である。

我々は便宜上キャリア密度の表記に関して過渡キャリア密度を $q_n(y,t)(=qn(y,t))$ 、定常状態でのキャリア密度を $Q_n(t)(=qn(V(t)))$ と区別して表すことにする。

一般に MOSFET 内の過渡的なキャリア密度のチャンネル内分布は外部条件が固定されると時間経過とともに定常状態のキャリア密度に向けて変化していく。いま時刻 t_{i-1} での過渡キャリア密度 $q_n(y,t_{i-1})$ が τ 時間経過後に定常状態のキャリア密度 $Q_n(V(t_{i-1}+\tau))$ になったとする。後で詳しく述べるように、キャリア密度が時間に関して線形に変化するものと仮定して、時刻 t_{i-1} から時刻 t_i になった時の過渡キャリア密度を次式で近似することにする[1,2]。

$$q_n(y(t_i), t_i) = q_n(y(t_{i-1}), t_{i-1}) + [Q_n(y(t_i), t_i) - q_n(y(t_{i-1}), t_{i-1})] \frac{t_i - t_{i-1}}{\tau(t_i)} \quad (4.6)$$

上式の過渡キャリア密度を用いて MOSFET 内の過渡キャリア密度分布を以下のように近似した。

過渡キャリア密度分布のモデリングは二つの状態に対して別々に行った[2]。すなわち、(i)キャリアの流れの先端が時間ステップ t でドレインに到達していない状態 ($q_n(L,t)=0$ 、図 4.1(a)参照)、(ii)キャリアの先端が既にドレインに到達している状態 ($q_n(L,t)>0$ 、図 4.1(b)参照) である。

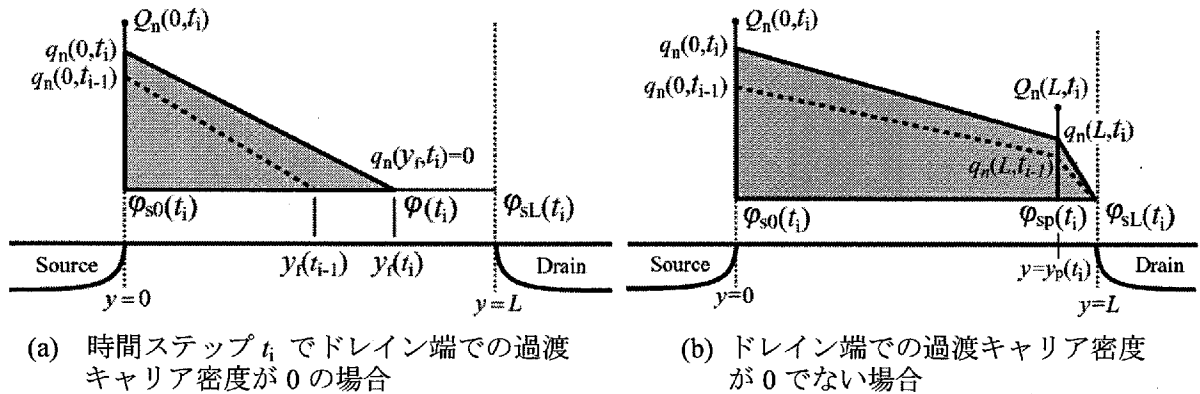


図 4.1 チャンネル内の過渡キャリア密度 q_n のモデリング

(i) $q_n(L,t)=0$ の場合

第 3 章において MOSFET の 2 次元シミュレーション過渡解析結果について述べたが、図 3.3 および 3.5 節での知見をもとに、チャンネル内のキャリア密度 $q_n(y,t)$ はチャンネルに沿って $q_n(0,t)$ から 0 に直線的に減少していくと近似した。キャリア密度が 0 となる位置 $y_f(t)$ はソースからドレインに向かって移動していき、次式で表される。

$$y_f(t_i) = y_f(t_{i-1}) + \frac{t_i - t_{i-1}}{\tau(t_i)} \quad (4.7)$$

ここで $\tau(t)$ は時間ステップ t においてソースからドレインに移動するのに要するキャリアの走行時間を表している。それゆえ $y=0$ と $y_f(t)$ の間のキャリア密度は次式で表される。

$$q_n(y, t_i) = \frac{q_n(0, t_i)}{y_f(t_i)} y + q_n(0, t_i) \quad (4.8)$$

図 3.3 および 3.5 節での知見より、ソース ($\phi_{s0}(t_i)$) からドレイン ($\phi_{sL}(t_i)$) に至る表面電位分布が直線的に変化すると近似した時、 $y_f(t_i)$ 点での電位 $\phi(t_i)$ は次式で表される。

$$\phi(t_i) = [\phi_{sL}(t_i) - \phi_{s0}(t_i)] \frac{y_f(t_i)}{L} \quad (4.9)$$

(ii) $q_n(L, t_i) > 0$ の場合

この場合はチャネル内でピンチオフ点を考慮した線形領域と飽和領域の両方を考慮しなければならない。ピンチオフ点 $y_p(t_i)$ での時間ステップ t_{i-1} から t_i への過渡キャリア密度の変化は図 4.1b に見られるように走行時間を考慮して式(4.6)より次式で表される。

$$q_n(y_p(t_i), t_i) = q_n(y_p(t_{i-1}), t_{i-1}) + [Q_n(y_p(t_i), t_i) - q_n(y_p(t_{i-1}), t_{i-1})] \frac{t_i - t_{i-1}}{\tau(t_i)} \quad (4.10)$$

この式は電圧を印加後キャリア走行時間 $\tau(t_i)$ が経過すると、過渡キャリア密度は定常状態のキャリア密度に達することを意味している。最終的な過渡キャリア密度はピンチオフ点を境に以下の 2 式で表される。

$$q_n(y, t_i) = -\frac{q_n(0, t_i) - q_n(y_p(t_i), t_i)}{y_p(t_i)} y + q_n(0, t_i) \quad 0 \leq y \leq y_p(t_i) \quad (4.11a)$$

$$q_n(y, t_i) = -\frac{q_n(y_p(t_i), t_i)}{L - y_p(t_i)} y + \frac{q_n(y_p(t_i), t_i)}{L - y_p(t_i)} L \quad y_p(t_i) < y \leq L \quad (4.11b)$$

4.3 キャリア走行時間のモデル化

NQS 効果によって生ずるチャネル内の電荷欠乏を考慮するために、キャリア走行時間を記述するモデルを開発した[2,3]。MOSFET 内をキャリアが走行するに際して、キャリアに遅延を与える要因として図 4.2 に示される 3 種の遅延時間があると考えた。

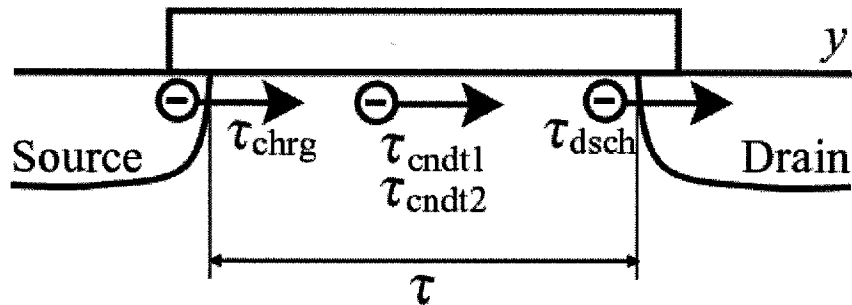


図 4.2 NQS 効果の起源を示す模式図。 τ はソースからドレインに至るキャリア走行時間を表す

まず印可電圧によって決められたチャネル側のソース端にキャリアを押し出すための遅延時間である。これを Charging 遅延と呼ぶことにし、この遅延時間を τ_{chrg} で表す。次ぎにソース端からドレイン端までキャリアが走行することによって生じる遅延を Conductive 遅延と呼ぶことにする。さらに Conductive 遅延はチャネルが形成されていない場合とチャネルが形成されている場合に分けて考えた。前者はソースから注入されたキャリアの先端がドレイン端に到達するために要する走行遅延で、これを τ_{cndt1} と呼ぶことにする。後者はソースとドレイン間がキャリアで満たされている場合で、この場合の走行遅延を τ_{cndt2} と呼ぶことにする。最後に τ_{dsch} はチャネル側のキャリアをドレインコンタクトに追い出すことによる遅延を決めている。今まで我々は τ_{dsch} を考慮する必要性を認識していないので、ここでは無視することにした。

4.3.1 Charging 遅延 τ_{chrg}

ソースからチャネルに注入することによってキャリアをドレインに向かって押し出す付加的な力が含まれなければならない。図 4.3 は 2 次元シミュレーションによるチャネルに沿った電界分布を示す。ソース側での最大電界がチャネルに流入させる力を与えている。空乏領域 l_d を横切る走行時間は概略次式で説明できる。

$$\tau = \frac{l_d}{v} = \frac{l_d}{E_{\text{max}} \cdot \mu} \quad (4.12)$$

ここで μ は移動度である。ゲート長 $0.5\mu\text{m}$ 、 $V_{\text{ds}}=1\text{V}$ の場合について 2 次元シミュレータ MEDICI による解析からモデル化された τ_{chrg} を式(4.13)に示す。

$$\tau_{\text{chrg}} = \left[0.9 \times 10^{-12} \tanh\{1.5(V_{\text{gs}} - V_{\text{TH}})\} - 0.9 \times 10^{-12} \right] * 3.0 \quad (4.13)$$

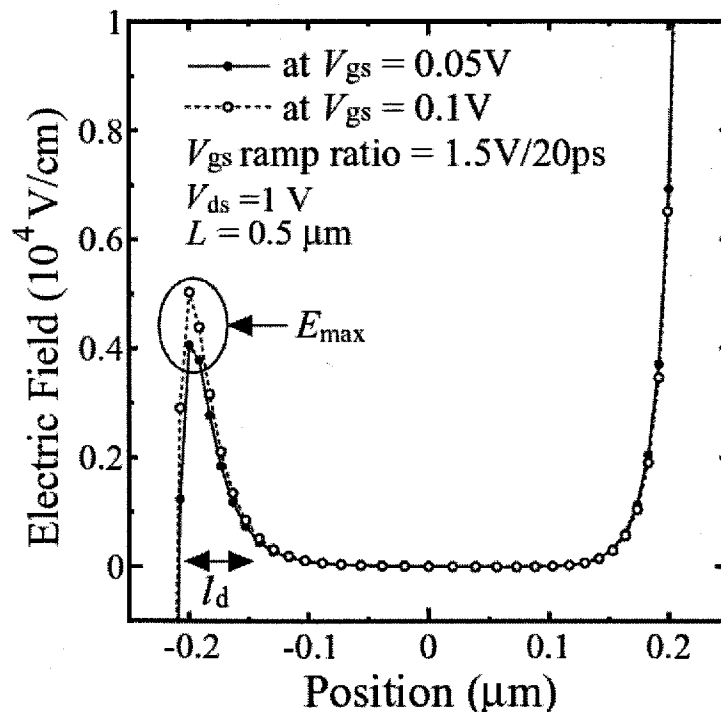


図 4.3 チャネル内の電界分布。 l_d はチャネルにそった空乏領域の長さである。

τ_{chrg} はソース側の過渡キャリア密度を決める。このためソース側の過渡キャリア密度は式(4.6)の $\alpha(t_i)$ を $\tau_{\text{chrg}}(t_i)$ に置き換えることにより次式で表される。

$$q_n(0, t_i) = q_n(0, t_{i-1}) + [Q_n(0, t_i) - q_n(0, t_{i-1})] \frac{t_i - t_{i-1}}{\tau_{\text{chrg}}(t_i)} \quad (4.14)$$

4.3.2 Conductive 遅延 τ_{cndt1}

ソース端とドレイン端がキャリアで満たされておらず、チャネルが形成されていない場合にキャリアの先端位置 y_f がソースからドレインに到達するまでに要する時間を表す。ゲート長 $0.5\mu\text{m}$ 、 $V_{\text{ds}}=1\text{V}$ の場合の2次元シミュレーション結果を示す図 3.3 と図 3.4 より、キャリアの先端位置 y_f の移動速度は時間によらずほぼ一定であることが分かる。それゆえキャリアの先端位置 y_f は式(4.7)の $\alpha(t_i)$ を $\tau_{\text{cndt1}}(t_i)$ に置き換え、式(4.15)となる。

$$y_f(t_i) = y_f(t_{i-1}) + \frac{t_i - t_{i-1}}{\tau_{\text{cndt1}}(t_i)} \quad (4.15)$$

4.3.3 Conductive 遅延 τ_{cndt2}

ソース端とドレイン端がキャリアで満たされており、チャネルが形成されている場合の conductive 遅延に対する表現式を開発した[2]。この遅延はチャネル内のキャリアの平均速度から計算され、表面電位の関数である。

$$\begin{aligned} \tau_{\text{cndt2}} &= \int_0^L \frac{1}{v(y)} dy = \int_0^L \frac{1}{\mu E(y)} dy = \frac{1}{\mu} \int_0^L \frac{dy}{-\frac{d\varphi_s(y)}{dy}} \\ &= -\frac{\mu W^2}{\beta^2 I_D^2} \int_{\varphi_{s0}}^{\varphi_{sL}} \left[C_{\text{ox}} \beta (V_g - \varphi_s) + C_{\text{ox}} - C_0 (\beta \varphi_s - 1)^{1/2} + \frac{1}{2} C_0 (\beta \varphi_s - 1)^{-1/2} \right]^2 d\varphi_s \end{aligned} \quad (4.16)$$

$$\beta = \frac{q}{kT}$$

$$C_0 = \sqrt{2} q N_A L_D$$

ここで $v(y)$ 、 I_D 、 C_{ox} 、 k 、 T 、 N_A そして L_D はそれぞれキャリア速度、ドレイン電流、ゲート容量、ボルツマン定数、絶対温度、アクセプター濃度そしてデバイ長である。

τ_{cndt2} はソースから出たキャリアがドレインに到達するに要する時間を表しており、ドレインの過渡キャリア密度に直接影響を与える。このためドレインの過渡キャリア密度を表す式は、式(4.10)の $\alpha(t_i)$ を $\tau_{\text{cndt2}}(t_i)$ に置き換え、式(4.17)となる。

$$q_n(y_p(t_i), t_i) = q_n(y_p(t_{i-1}), t_{i-1}) + [Q_n(y_p(t_i), t_i) - q_n(y_p(t_{i-1}), t_{i-1})] \frac{t_i - t_{i-1}}{\tau_{\text{cndt2}}(t_i)} \quad (4.17)$$

実際のキャリア密度の計算ではキャリアの先端がドレインに到達する前後で τ_{cndt1} から τ_{cndt2} に切り替わるが、計算上滑らかな変化となるように τ_{cndt1} と τ_{cndt2} を式(4.18)の関係で結合した τ_{cndt} で表すことにした。

$$\frac{1}{\tau_{\text{cndt}}(t_i)} = \frac{1}{\tau_{\text{cndt1}}(t_i)} + \frac{1}{\tau_{\text{cndt2}}(t_i)} \quad (4.18)$$

従って、式(4.15)と(4.17)の $\tau_{\text{cndt1}}(t_i)$ と $\tau_{\text{cndt2}}(t_i)$ をそれぞれ $\tau_{\text{cndt}}(t_i)$ に置き換えて過渡キャリア密度を計算することにした。

4.4 伝導電流による過渡キャリア密度分布モデルの検証

過渡キャリア密度分布モデルの妥当性を検証する。いま式(4.4a)のように過渡電流を conductive 電流と displacement 電流に分けるのではなく、式(4.19)の conductive 電流を過渡キャリア密度分布モデルのみで記述すると MOSFET 内のキャリア先端のチャネル位置により式(4.20)および(4.21)が得られる。

$$\begin{aligned} I(0,t) &= I(L,t) \\ &\approx q \frac{W}{L} \int_{\varphi_{s0}}^{\varphi_{sL}} n(y,t) d\varphi(y,t) \end{aligned} \quad (4.19)$$

なお、検証における計算においては、定常状態のキャリア密度 $Q_n(0,t)$ 、 $Q_n(L,t)$ や表面ポテンシャル $\varphi_{s0}(t)$ 、 $\varphi_{sL}(t)$ 、 $\varphi_{sp}(t)$ は HiSIM の時刻 t_i での定常状態の計算結果を使うことを前提にする。

(i) $q_n(L,t)=0$ の場合 (キャリア先端がドレインに到達していない場合)

この場合の式(4.19)の積分は図 4.1(a)の縦軸をキャリア密度、横軸を表面ポテンシャルとする三角形の面積に相当し、次式で表される。 $\varphi(t_i)$ は式(4.9)により計算される。

$$\begin{aligned} I(0,t) &= I(L,t) \\ &\approx \frac{W}{L} \int_{\varphi_{s0}(t_i)}^{\varphi_{sL}(t_i)} q_n(0,t) d\varphi(y,t) \\ &= \frac{W}{L} \mu \frac{q_n(0,t_i) \cdot \varphi(t_i)}{2} \end{aligned} \quad (4.20)$$

(ii) $q_n(L,t)>0$ の場合 (キャリア先端がドレインに到達している場合)

式(4.19)の積分は図 4.1(b)の縦軸をキャリア密度、横軸を表面ポテンシャルとして、左側の台形の面積と右側の三角形の和に相当し、次式で表される。

$$\begin{aligned}
I(0,t) &= I(L,t) \\
&= \frac{W}{L} \mu \int_{\varphi_{s0}(t_i)}^{\varphi_{sL}(t_i)} q_n(0,t) d\varphi(y,t) \\
&= \frac{W}{L} \mu \frac{1}{2} [\varphi_{sp}(t_i) - \varphi_{s0}(t_i)] \cdot [Q_n(0,t_i) - q_n(L,t_i)] + \frac{W}{L} \mu \frac{1}{2} [\varphi_{sL}(t_i) - \varphi_{sp}(t_i)] \cdot q_n(L,t_i)
\end{aligned} \tag{4.21}$$

本検証において Charging 遅延 τ_{chrg} は式(4.13)により計算した。また、Conductive 遅延 τ_{cndt1} は図 3.3 および図 3.4 から分かるように、キャリア先端位置 y_f が $t=2.5\text{ps}$ に移動を開始し、 $t=13.5\text{ps}$ にドレインに到達していることから、検証では $\tau_{\text{cndt1}}=(13.5-2.5)\text{ps}=11\text{ps}$ 一定とした。また、Conductive 遅延 τ_{cndt2} は式(4.16)に従った。図 4.4 にキャリア走行遅延の計算結果を示す。

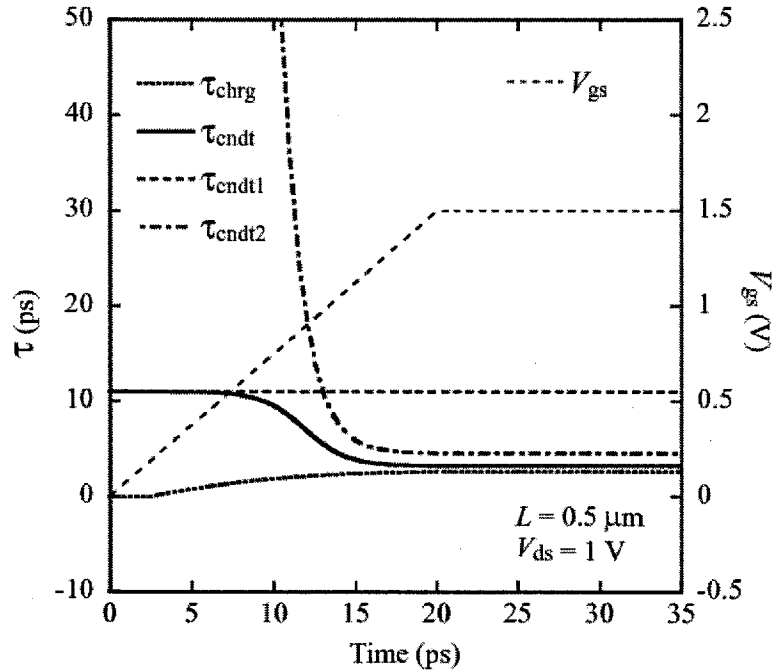


図 4.4 キャリア走行時間の計算結果

図 4.4 のキャリア走行時間を用い、式(4.14)、(4.15)、(4.17)によりそれぞれ過渡ソースキャリア密度 $q_n(0,t)$ 、キャリア先端位置 $y_f(t)$ 、過渡ドレインキャリア密度 $q_n(L,t)$ を計算した。結果を図 4.5 に示す。比較のために定常状態のソースキャリア密度 $Q_n(0,t)$ と過渡ドレインキャリア密度 $Q_n(L,t)$ もプロットした。キャリア先端位置 y_f は期待通り直線的に増加し、13ps 近辺でドレインに到達している。また、 $q_n(L,t)$ の値は 13ps までは 0 であるが、これ以降は増加しておりチャンネルが形成されていない状態を良く表している。 $Q_n(L,t)$ との比較から、モデル化した $q_n(0,t)$ および $q_n(L,t)$ は明確な応答遅延を示しているといえる。ゲート電圧 V_{gs} が定常状態に達した後でさえ $q_n(0,t)$ と $q_n(L,t)$ は期待される最終値に向かって滑らかに収斂している。

式(4.20)および(4.21)によって計算された伝導電流を図 4.6 に示す。図には 2 次元シミュレーションによるソース電流、ドレイン電流および伝導電流を比較のために示した。35ps の定常状態に達した時点で電流値が異なるのは 2 次元デバイスシミュレータのチューニングが完全でないためである。我々のモデルで、2 次元シミュレーションによる定常状態を仮定した conductive 電流 I_{d0} に

対して、キャリア遅延を考慮した分電流に遅れが生じていることがわかる。全体の傾向として 2次元シミュレーションを良く再現していることが分かる。図 4.5 の $Q_n(0,t_i)$ と $q_n(0,t_i)$ の違いは Charging 遅延 τ_{chrg} の影響を表しているが、その効果は図 4.6 の太い一点鎖線で示した τ_{chrg} 無しと太い実線の τ_{chrg} 有りの違いで表されている。図 4.5 からゲート電圧が大きくなるにつれて $q_n(0,t_i)$ に対する τ_{chrg} の効果は大きくなる。この効果は図 4.6 の 13ps 以降に conductive 電流の遅延が大きくなることに現れている。

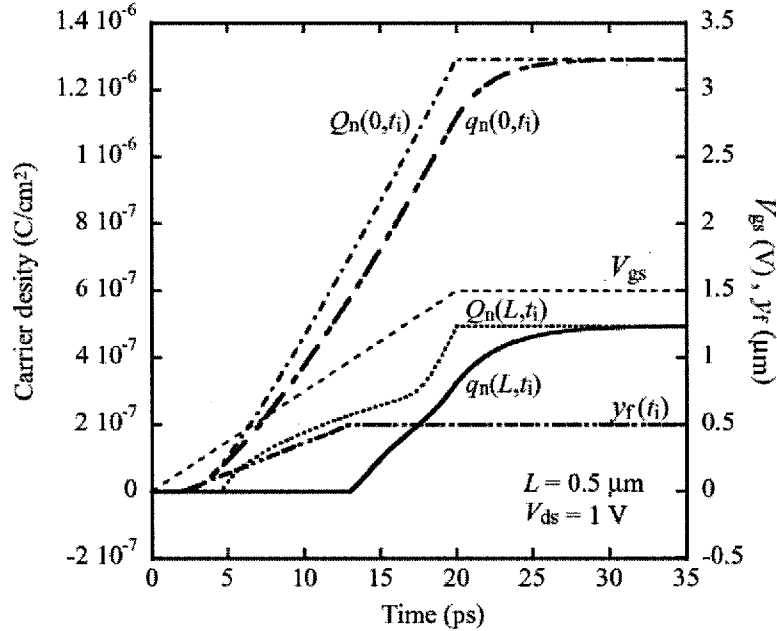


図 4.5 新モデルによる過渡キャリア密度の計算結果

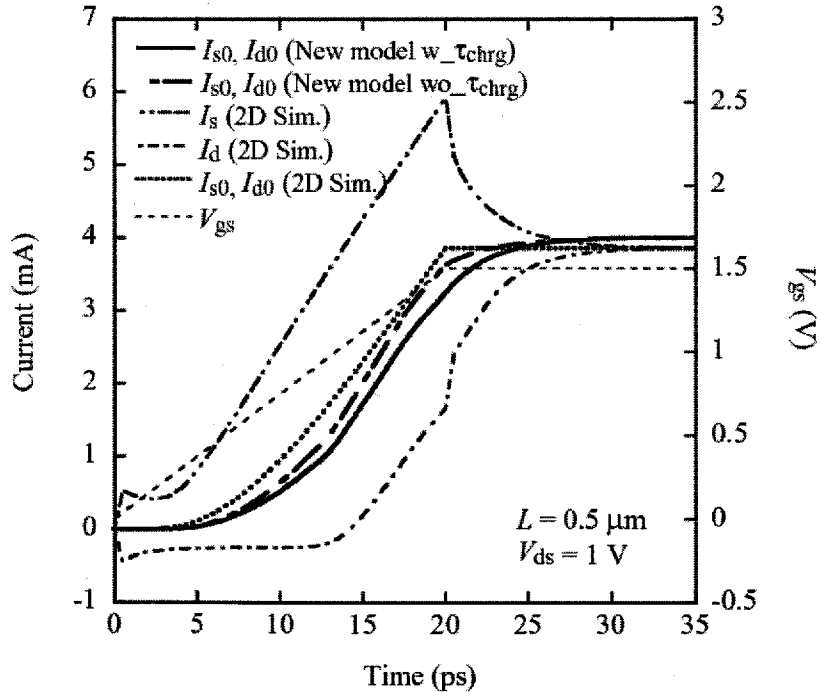


図 4.6 新モデルによる伝導電流計算結果と 2次元シミュレーションの比較

4.5 変位電流による過渡キャリア密度分布モデルの検証

次ぎに回路シミュレータが解く式(4.4b)の記述に従って、過渡キャリア密度分布モデルの妥当性を displacement 電流について検証する。いま式(4.4b)の displacement 電流のみについて記述すると次式となる。

$$\begin{aligned} & q \frac{W}{L} \int_0^L \int_0^y \frac{dn(y', t)}{dt} dy' dy \\ &= \frac{q dn(y, t)}{dt} \\ &= \frac{dq_c(t)}{dt} \end{aligned} \quad (4.22)$$

ここで $q_c(t)$ は時刻 t における MOSFET 内のキャリア電荷量である。式(4.22)の $q_c(t)$ を過渡キャリア密度分布モデルで計算することは、図 4.1 の縦軸をキャリア密度、横軸をチャネル方向の距離として、三角形または台形の面積を求めることに相当する。

時刻 t_i での $q_c(t_i)$ を過渡キャリア密度分布モデルで記述すると MOSFET 内のキャリア先端の状態により以下の式により得られる[3]。

(i) $q_n(L, t_i) = 0$ の場合 (キャリア先端がドレインに到達していない状態)

この場合の $q_c(t_i)$ は図 4.1(a)の幅をキャリア密度 $q_n(0, t_i)$ 、高さをキャリア先端位置 $y_f(t_i)$ よりなる三角形の面積に相当し、次式で表される。

$$q_c(t_i) = W \frac{1}{2} q_n(0, t_i) y_f(t_i) \quad (4.23)$$

(ii) $q_n(L, t_i) > 0$ の場合 (キャリア先端がドレインに到達している状態)

この場合の $q_c(t_i)$ は図 4.1(b)の下辺をキャリア密度 $q_n(0, t_i)$ 、上辺をキャリア密度 $q_n(L, t_i)$ 、高さをピンチオフ距離 $y_p(t_i)$ とする左側の台形面積と、下辺をキャリア密度 $q_n(L, t_i)$ 、高さを $(L - y_p(t_i))$ とする右側の三角形の和に相当し、次式で表される。

$$q_c(t_i) = W \frac{1}{2} [q_n(0, t_i) + q_n(L, t_i)] y_p(t_i) + W \frac{1}{2} q_n(L, t_i) [L - y_p(t_i)] \quad (4.24)$$

今回の検証において、式(4.22)の最終式をつぎのように計算した。

$$\frac{dq_c(t_i)}{dt} = \frac{q_c(t_i) - q_c(t_{i-1})}{t_i - t_{i-1}} \quad (4.25)$$

ここで t_{i-1} は前回の時刻を表す。

図 4.7 にドレイン電圧 $V_{ds} = 1V$ 一定、ゲート電圧 V_{gs} を $0V$ から $1.5V$ まで $20ps$ かけて印加した場合の変位電流の計算結果を示す。Charging 遅延 τ_{chrg} および Conductive 遅延 τ_{cndt1} 、 τ_{cndt2} は図 4.4 に示

される条件である。図には2次元シミュレータによる計算結果も比較のためにプロットした。ゲート電圧印加開始後約3psの間で2次元シミュレーションと電流値が違うのはHiSIMのモデルパラメータと2次元シミュレータでオーバーラップ容量が異なるためである。13psまではキャリア先端がドレインに到達していない状態ではともに直線的に変位電流が増加しているが若干本モデルの傾斜が緩い。キャリア先端がドレインに到達した13ps以降ゲート電圧の増加が終了するまでの20psでは2次元シミュレーションより小さい値となっている。これは図3.3に見られるように2次元シミュレーションでは14ps以降の電子密度分布が上に丸みを帯びて来るのに対して本モデルでは直線で近似していることにより電荷量変化が小さく計算されることによると考えられる。ゲート電圧が一定なる20ps以降は2次元シミュレーションと非常に良く一致しており、Conductive遅延の見積りの妥当性を裏付けている。

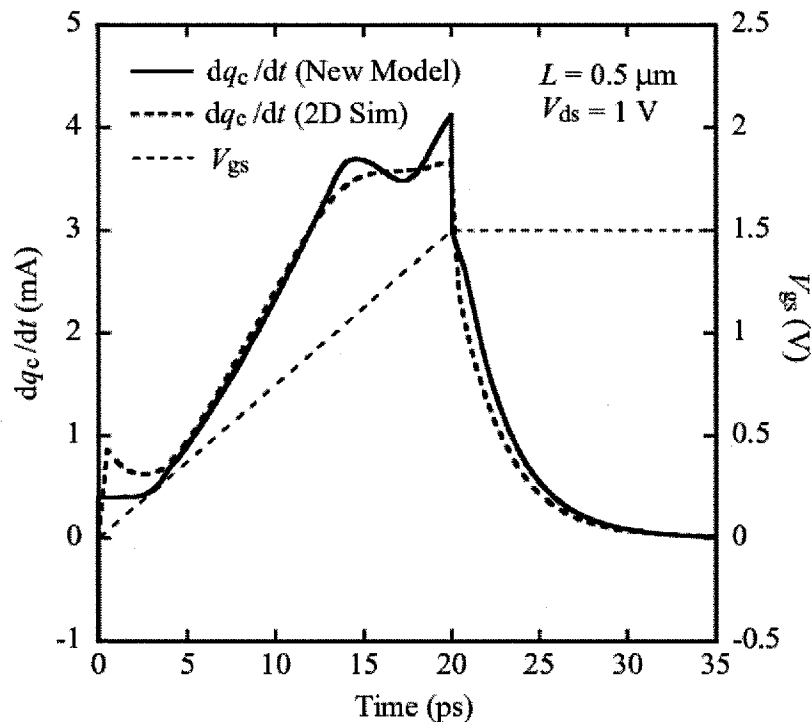


図 4.7 変位電流の計算結果

変位電流への charging 遅延 τ_{chrg} の影響を2次元シミュレーション結果とともに図4.8に示す。 τ_{chrg} の値を変えるため τ_{chrg} のモデル式(4.13)にその値を変えるパラメータ m を追加した。

$$\tau_{\text{chrg}} = \left[0.9 \times 10^{-12} \tanh \left\{ 1.5 (V_{\text{gs}} - V_{\text{TH}}) \right\} - 0.9 \times 10^{-12} \right] * 3.0 * m \quad (4.26)$$

m の値として 1/3、1、2 としたが、これは $V_{\text{gs}}=1.5\text{V}$ で τ_{chrg} の値がそれぞれ約 0.9ps、2.6ps、5.2ps に対応している。 τ_{chrg} が小さいとゲート電圧に対応して瞬時にチャンネルへのキャリア注入が行われるので、ゲート電圧が上昇している時は大きな変位電流が流れている。ゲート電圧の上昇が止まるとチャンネル内のキャリア注入はこれ以上増加することはなく、ドレインからの定常的なキャリア流出に集束していくので変位電流は急激に小さくなる。一方、 τ_{chrg} が大きい場合は、ゲート

電圧の上昇中はゲート電圧上昇より遅れてキャリアが注入されるため変位電流は小さくなるが、ゲート電圧の上昇が止ってもまだチャンネルにキャリアが注入され続けるため変位電流の減少は緩やかになることが分かる。

次に変位電流への conductive 遅延 τ_{cndt2} の影響を調べた。調べるに当り $V_{\text{ds}}=1\text{V}$ に対する式(4.16)を式(4.27)で近似し、 $V_{\text{gs}}=1.5\text{V}$ での τ_{cndt2} の最小値を τ_{min} 変えられるようにした。

$$\tau_{\text{cndt2}} = 8 \times 10^{-8} (\coth(5.2 \times V_{\text{gs}}) - 1) + \tau_{\text{min}} \quad (4.27)$$

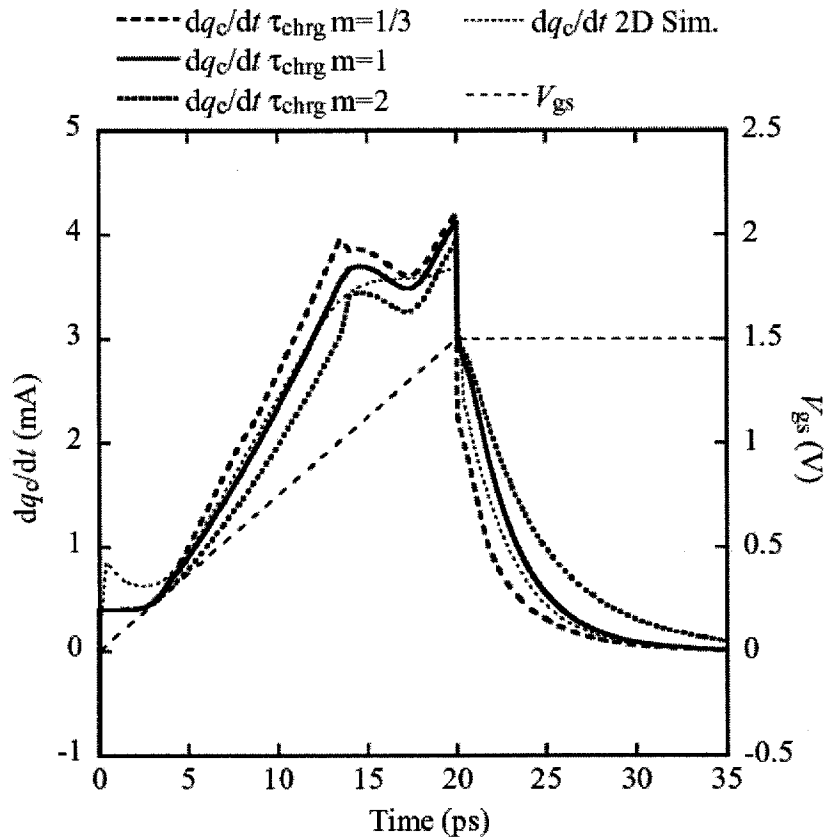


図 4.8 変位電流の charging 遅延 τ_{chrg} の依存性

本研究では τ_{min} の値として式(4.16)で得られる本来の 4.5ps の他に 2ps、10ps の値を用いた。図 4.9 に今回用いた τ_{min} の値に対する τ_{cndt2} の変化を示す。

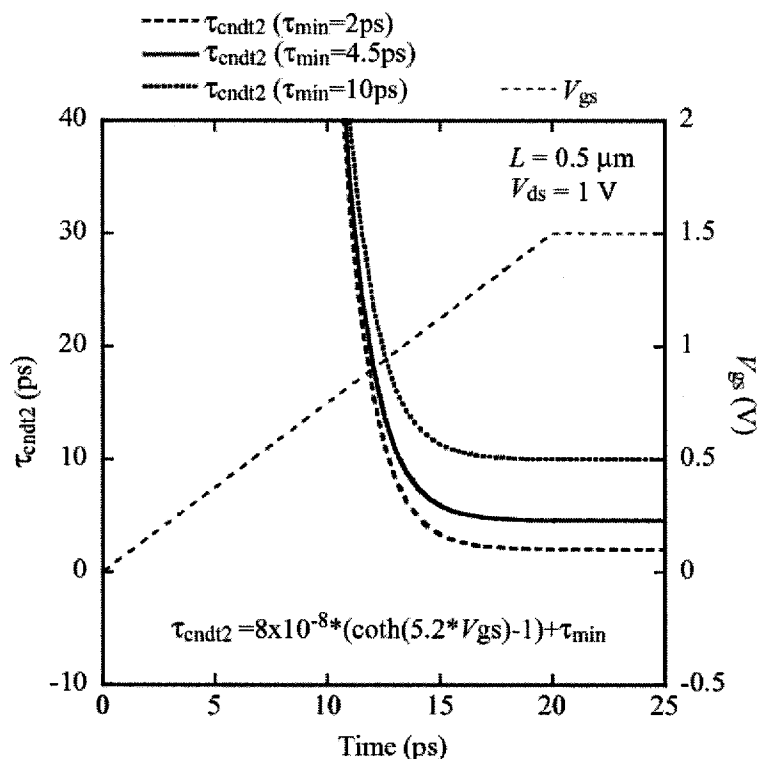


図 4.9 conductive 遅延 τ_{cndt2} の近似式とその特性

図 4.10 に τ_{min} をパラメータとしたときの変位電流を示す。 τ_{cndt2} はチャネルが形成された後のドレインのキャリア密度の応答を決める役割を持つため、意図したようにチャネル形成前の 13ps 以前では τ_{cndt2} の変化による変位電流への影響は見られない。 τ_{min} が大きい、すなわち τ_{cndt2} が大きいということは式(4.17)から分かるようにドレイン端のキャリア密度の増加が小さいことを意味している。このことはゲート電圧が上昇中であればチャネル内への電荷量の流入によるドレイン端のキャリア密度の増加とチャネル外に流出することによるドレイン端のキャリア密度の減少がほぼ等しいことを意味しており、全体のチャネル内のキャリア電荷量の変化は小さくなる。従って図の 13ps から 20ps の間の点線で見られるように $\tau_{min}=10ps$ の場合は他の短い場合に比べ変位電流は小さくなっている。一方、ゲート電圧に変化が無く一定になると、チャネル内への電荷の流入は一定となり、ドレインからのキャリアの流出のみが全体のキャリアの変化量となって現れる。この場合、 τ_{cndt2} が大きい、すなわちドレイン端のキャリア密度の変化を小さく抑えるということは、キャリアの流出を抑える。言い方を変えるとチャネル内にキャリアを長く留めることを意味している。図の 20ps 以降の点線で見られるように $\tau_{min}=10ps$ の場合が一定値になるのに時間がかかるのはこのためである。

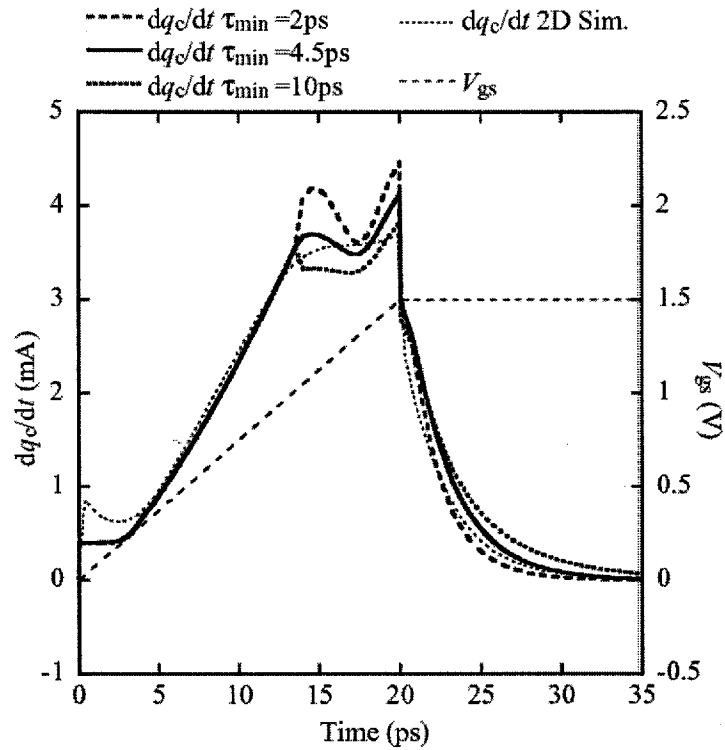


図 4.10 変位電流の conductive 遅延 τ_{cndt2} の依存性

参考文献

- [1] S.-Y. Oh, D.E. Ward, and R.W. Dutton: "Transient Analysis of MOS Transistors", IEEE J. Solid-State Circuits SC-15 pp.636-643 (1980)
- [2] N. Nakayama, H. Ueno, T. Inoue, T. Isa, M. Tanaka and M. Miura-Mattausch, "A Self-Consistent Non-Quasi-Static MOSFET Model for Circuit Simulation Based on Transient Carrier Response", Japanese Journal of Applied Physics Vol. 42, Part 1, No. 4B, pp.2132-2136, April 2003
- [3] N. Nakayama, D. Navarro, M. Tanaka, H. Ueno, M. Miura-Mattausch, T. Ohguro, S. Kumashiro, M. Taguchi, and K. Morikawa "A Non-Quasi-Static Model for Metal-Oxide-Semiconductor Field-Effect Transistor Based on Carrier-Transit Delay", Submitted to Applied Physics Letter.

第5章 Non-Quasi-Static モデルによる計算結果

5.1 Non-Quasi-Static モデル HiSIM の SPICE3 への組み込み

5.1.1 SPICE3 に対する NQS MOSFET モデル HiSIM の入出力情報

本研究で開発した Non-Quasi-Static モデル HiSIM (以下 NQS モデルと呼ぶ) と回路シミュレータ SPICE3 との関係を図 5.1 に示す。

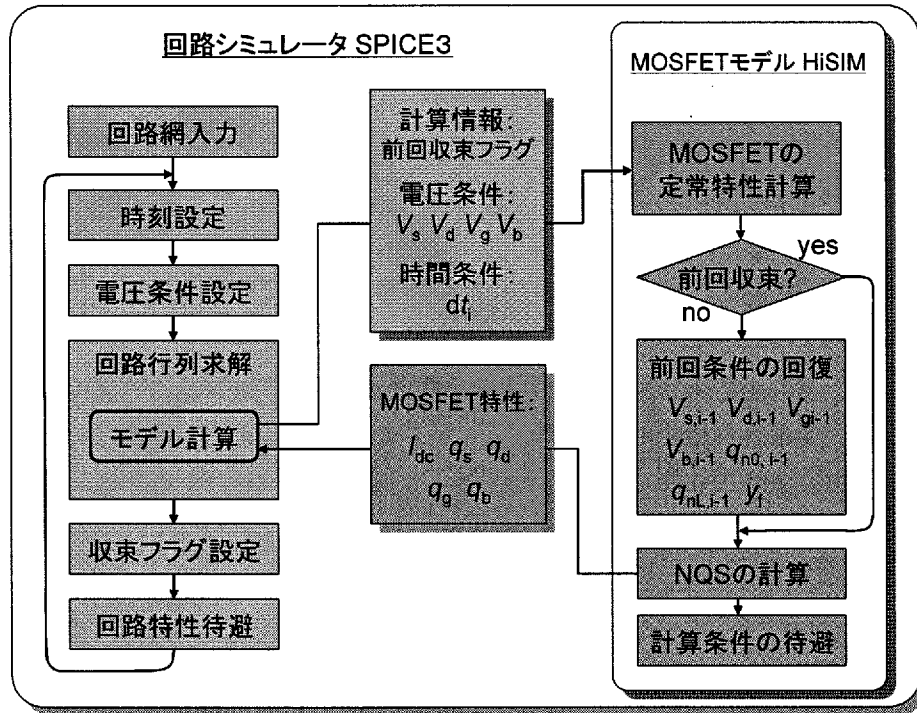


図 5.1 回路シミュレータにおける過渡解析の流れ

回路シミュレータ SPICE3 の過渡解析では、時間ステップ毎に電圧条件を設定し、その条件に対する MOSFET モデルで計算されるデバイス特性の結果を要求する。MOSFET モデル HiSIM では、この電圧条件とともに時間間隔および前回の回路シミュレータでの収束状態を示すフラグを SPICE3 から受け取る。HiSIM ではまず入力された電圧条件のもとで定常状態の計算を行う。次いで前回収束フラグをチェックする。このフラグは回路シミュレータでの前回の回路行列計算が正常に収束したかを示すフラグであり、異常収束を示している場合は前回の計算が無効であることを意味している。フラグが異常収束を示している場合は、前々回の電圧条件と過渡電荷密度の状態が前回の状態として使えるよう設定し直す。式(4.7)、(4.8)、(4.10)、(4.11)で示されるように、前回の過渡電荷密度を使って現在の過渡電荷密度を計算するが、前回の計算が無効であれば前回の状態も無効であり使うことができない。このため前々回の状態を前回の状態として設定する必要がある。フラグが正常収束を示していれば NQS の計算を行う。次いで前回の状態を前々回の状態として、また新しく計算された状態を前回の状態として設定し、次の計算に使うための待避を行う。NQS の計算の後、伝導電流と各電極の持つ過渡電荷を回路シミュレータに返す。回路シミュレータでは MOSFET モデルから得られた情報を用い行列計算により回路全体の電流、電圧を求める。次いで収束フラグの設定、回路特性の待避を行い、次の時間ステップの計算に移る。

5.1.2 電極の持つ電荷量と Charge partitioning

回路シミュレータの過渡解析では、トランジスタモデルで計算される各電極に貯まっている電荷量 Q_{a0} と伝導電流 I_{a0} を受け取り、式(3.2)に従って各電極に流れる電流を計算する。ゲート電荷は式(2.4)で示されるようにチャンネル電荷 Q_C と基板電荷 Q_B の和で表されるが、 Q_C は本研究による NQS モデルの式(4.23)、(4.24)で計算されたチャンネル電荷 q_c に対応する。従ってゲート電荷 Q_G は次式となる。

$$Q_G = -(Q_B + q_C) \quad (5.1)$$

チャンネル電荷 q_c は式(2.5)で示されるようにソース電荷とドレイン電荷の和であり次式となる。

$$q_C = q_S + q_D \quad (5.2)$$

従って NQS モデルで得られたチャンネル電荷をソース電荷とドレイン電荷に分割して回路シミュレータに渡す必要がある。BSIM3 ではこの分割を MOSFET の遮断領域においてはソース電荷/ドレイン電荷を 100/0、通常の線形と飽和領域では 60/40 として回路シミュレータに渡している[1]。

本論文では簡単化のために分割比を 60/40 として計算した。また基板電荷がゲート電圧に対して過渡的な影響が少ないと仮定して定常状態で計算された電荷をそのまま回路シミュレータに渡すことにした。

5.2 SPICE3 による NMOSFET の turn-on 過渡計算

本研究による NQS MOSFET モデルを用いて図 5.2 に示す回路の過渡解析を SPICE3 により行った。MOSFET のゲート長は $0.5\mu\text{m}$ 、 $V_{DS}=1\text{V}$ 一定、 $V_S=V_{BS}=0\text{V}$ 一定とし、 V_{GS} を 0V から 1.5V まで 20ps かけて上昇させた turn-on 特性を計算した。

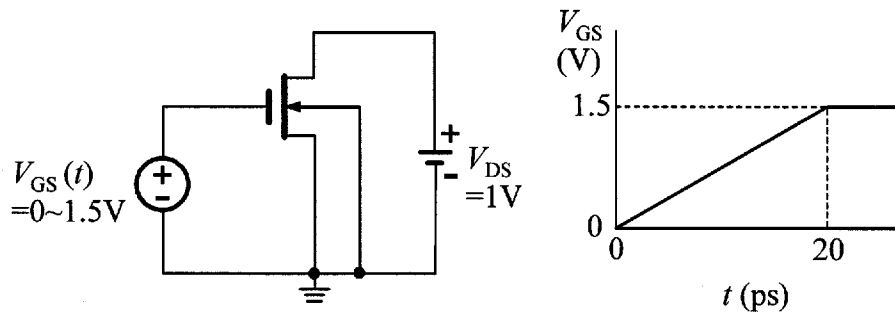


図 5.2 過渡解析対象の回路と turn-on 入力電圧

SPICE3 によるドレイン電流の出力結果を図 5.3 に示す。図には charging 遅延 τ_{chrg} のドレイン電流に対する影響をみるため、式(4.26)で定義した m をパラメータとしたドレイン電流、および 2次元シミュレータによるドレイン電流も併せて示す。2次元シミュレータによる電流が 14ps まで負になっているのはオーバーラップ容量を通じてドレインから MOSFET に電流が流れ込んでいることを示している。NQS モデルも 14ps まで負の電流が流れているが、その特性は下に丸みを帯びている。これは HiSIM に組み込まれている接合容量モデルがゲート電圧依存性を持つためと思われる。NQS モデルでは 20ps で電流がジャンプしている。ジャンプ幅は τ_{chrg} が小さいと大きくな

っている。これは図 4.8 の変位電流でも見られるジャンプに対応している。このジャンプの起きる原因はまだ解明できていないが回路シミュレータの計算上の問題によるものと思われる。このような急激な変化は回路シミュレーションの収束に影響を与える恐れがあるが、Park 等も同様の特性を観測しており、回路シミュレーションには影響が出ないことを報告している[2]。14ps まではチャンネルが形成されていなくチャンネルにキャリアが貯まるのみの状態であり、 τ_{chrg} が大きいほどドレイン電流は大きい。14ps 以降 20ps まではチャンネルが形成され、ソースからのキャリア流入とドレインからのキャリア流出が同時に起きている状態であり、結果として τ_{chrg} のドレイン電流に与える影響が小さい。ゲート電圧の上昇が停止した 20ps 以降は τ_{chrg} が大きいほどソースからのキャリア供給が遅れるため、定常状態に達するにも時間を要していることがわかる。全体的には $m=1$ の場合が 2 次元シミュレーションと良く一致していることが分かる。

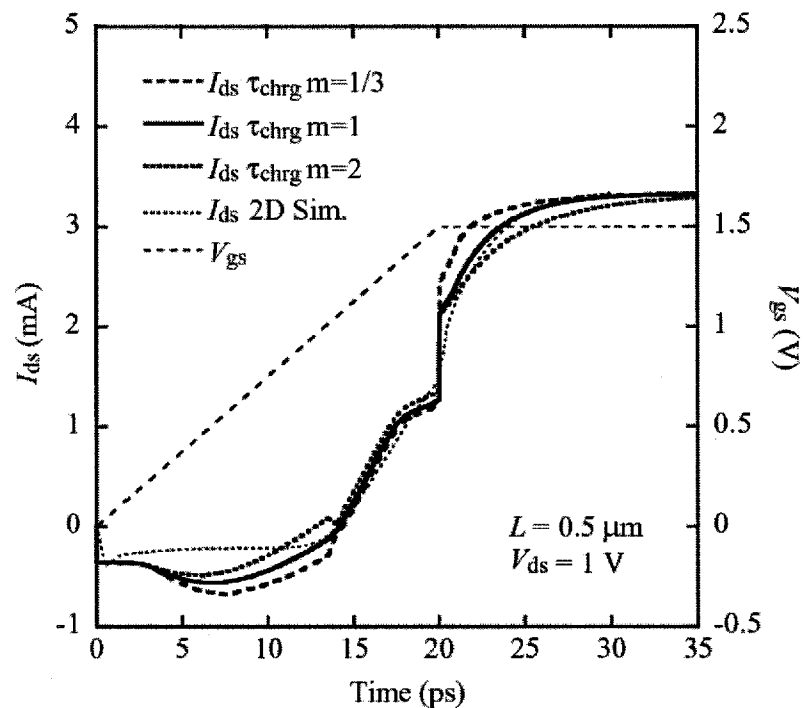


図 5.3 SPICE3 による turn-on ドレイン電流の τ_{chrg} 依存性計算結果

図 5.4 に conductive 遅延 τ_{cndt2} のドレイン電流に対する影響をみるため、式(4.27)で定義した τ_{min} をパラメータとしたドレイン電流と 2 次元シミュレータによるドレイン電流を重ねて示す。 τ_{cndt2} はチャンネルが形成された領域で効く遅延であるため 14ps 以降に τ_{min} の違いが現れている。特に 20ps 直前においてその違いが大きく現れている。この時の τ_{min} が小さい場合には図 4.10 で見られるようにチャンネルにキャリアが蓄積される変化の大きい場合に相当しており、他の場合に比べてドレインから流れ出るキャリアが少ないことを意味している。ゲート電圧の上昇が停止した 20ps 以降は、式(4.17)でみられるように τ_{min} が小さいほどドレイン端の過渡電荷密度をより定常状態に近くなるように設定するので、ドレイン電流も τ_{min} が小さいほど早く定常状態に近づいている。

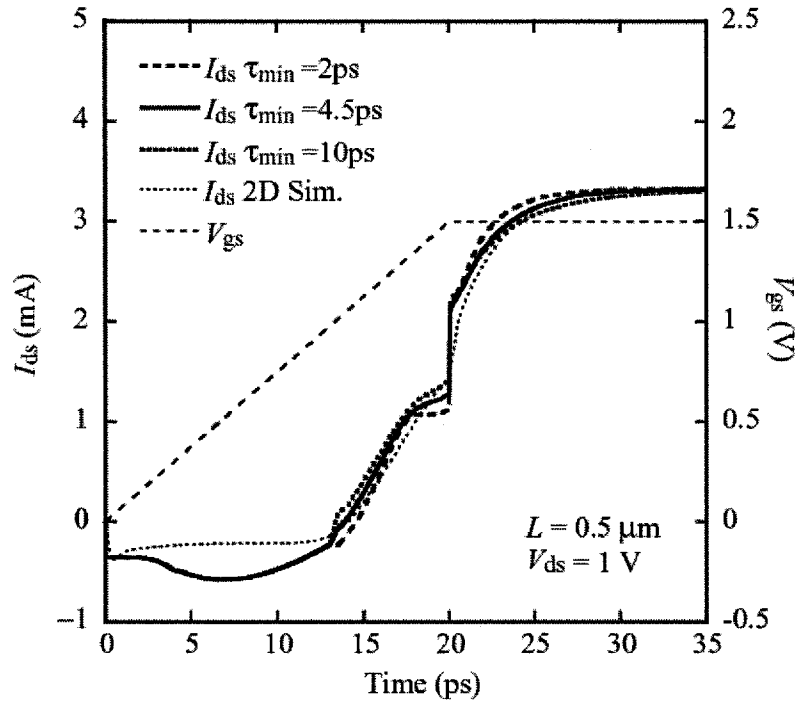


図 5.4 SPICE3 による turn-on ドレイン電流の τ_{cndt2} 依存性計算結果

5.3 SPICE3 による NMOSFET の turn-off 過渡計算

前節で述べた turn-on 特性とともに turn-off 特性を見ておくことはモデル評価において重要なことである。ここでは本研究による NQS MOSFET モデルを用いて図 5.5 に示す回路の過渡解析を SPICE3 により行った。MOSFET のゲート長は $0.5\mu\text{m}$ 、 $V_{\text{DS}}=1\text{V}$ 一定、 $V_{\text{S}}=V_{\text{BS}}=0\text{V}$ 一定とし、 V_{GS} を 1.5V から 0V まで 20ps かけて下降させた turn-off 特性を計算した。

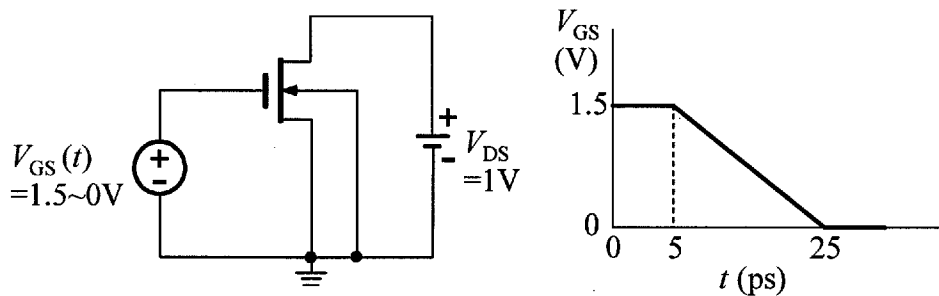


図 5.5 過渡解析対象の回路と turn-off 入力電圧

図 5.6 に本研究の NQS モデルによるドレイン電流の turn-off 特性を QS モデルおよび 2 次元シミュレーション結果と併せて示す。5ps でゲート電圧が下降し始めると同時に NQS モデルおよび QS モデルのドレイン電流にジャンプが見られる。2 次元シミュレーションにも見られるが小さい。また、ゲート電圧の下降が停止する 25ps でも同様にジャンプが生じている。Park 等も同様の結果を報告している[2]。いずれの場合もジャンプが生じているので数値計算上特有の問題によるものと思われる。NQS モデルと 2 次元シミュレーションの比較においてゲート電圧が下降し始めた 7ps

近辺でピークが現れているが、NQS モデルの値が大きい。また、17ps から 25ps にかけて 2 次元シミュレーションでは滑らかに電流が減少するのに対して、NQS モデルは一旦電流の減少が緩ま

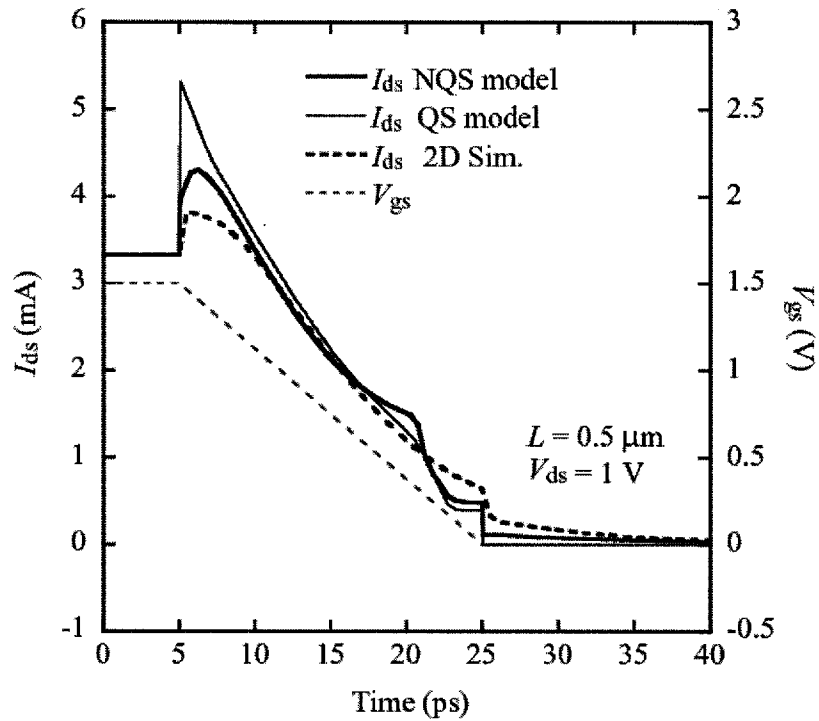


図 5.6 SPICE3 による turn-off ドレイン電流の計算結果

った後に急激に減少している。この時間帯の様子を変位電流と対応してみるために、図 5.7 に NQS モデルの turn-off における変位電流を 2 次元シミュレーションの結果に重ねて示す。

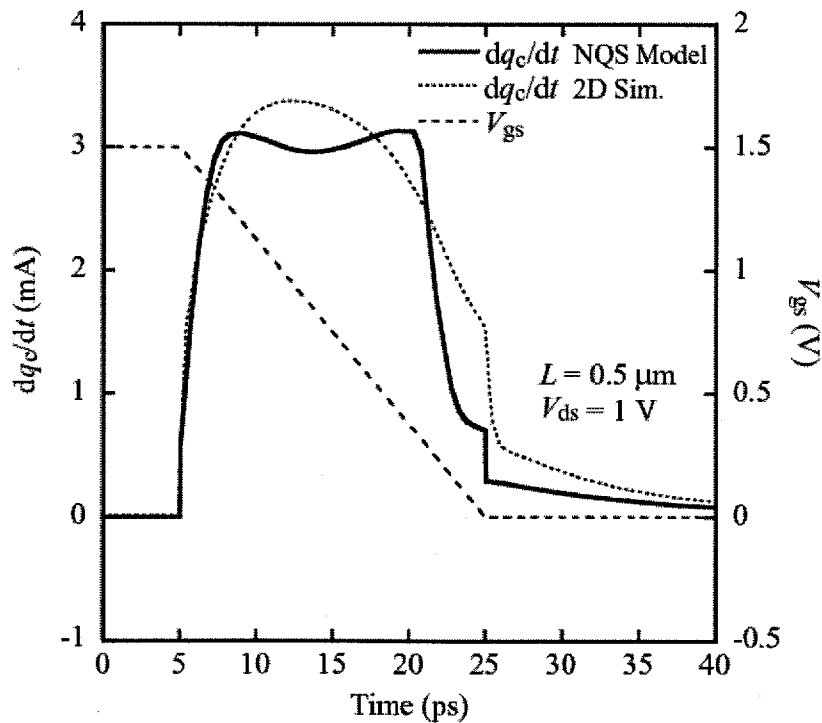


図 5.7 turn-off における変位電流の計算結果

図から分かるように NQS モデルが 7ps 近傍で急激な増加から一定に、また 17ps 近傍では一定から急激な減少となっているが、2 次元シミュレーションはそれぞれ滑らかな増加と滑らかな減少を示している。この原因は以下のように考えられる。図 3.8 に示すように 2 次元シミュレーションによる turn-off 時のキャリア密度分布は上に丸みをもった分布になっている。一方、本研究での NQS モデルはソース端とドレイン端の電荷密度を直線で結んだ分布として近似した。このため上に丸みをもった分布のチャネル電荷量は直線近似したチャネル電荷量より大きな値を持っていることになる。それゆえ次の時間ステップとのチャネル電荷の変化量は直線近似した方、すなわち NQS モデルの変化量が大きく現れ、また急激な変化を示していると考えられる。以上の考察から、turn-off に対して現れる様なキャリア密度分布が直線近似から外れる場合はそれに応じた近似が必要であることが分かった。

参考文献

- [1] W. Liu, X. Jin, J. Chen, M.-C. Jeng, Z. Liu, Y. Cheng, K. Chen, M. Chan, K. Hui, J. Huang, R. Tu, P.K. Ko and C. Hu: "BSIM3v3.2.2 MOSFET Model Users' Manual", Department of Electrical Engineering and Computer Sciences, University of California, Berkeley, 1999
- [2] H.J. Park, P.K. Ko, and C. Hu: "A Non-Quasi-Static MOSFET Model for SPICE- Transient Analysis", IEEE Trans. on Electron Devices, Vol. 36, No. 3, pp.561-576 (1989)

第6章 まとめ、および今後の課題

6.1 まとめ

1960年代に大規模集積回路(LSI)の先駆けとなる 1Kbit メモリや MOSFET が 400 個程度の 64 ビットシフトレジスタ等が世の中に出てきて以来、高集積化・高性能化は微細化技術の進歩とともにこれまで4倍/3年という勢いで進んできた。半導体集積回路は今やコンピュータや携帯電話、マルチメディア機器、ロボット、車載機器等あらゆる電子機器に欠かせない存在になっている。その LSI の基本構成デバイスとして MOSFET は揺るぎない地位を確立してきた。最新の大規模集積回路では 130nm テクノロジによる 374 mm^2 のチップに 4.1 億個のトランジスタを集積したプロセッサが発表され、また研究レベルでの最小デバイスとしてゲート長 6nm の動作が確認されている。工業的には 90nm テクノロジが 2003 年に量産が開始され、2006 年には 65nm テクノロジの量産が予定されている。

一方、半導体集積回路の応用面から見ると、ユビキタス時代を迎え、従来のデジタル回路に加え、無線やアナログ回路への拡張が益々増し、これに伴い低消費電力や低電圧動作の集積回路の重要性が高まってきている。半導体デバイスの微細化により現状でも MOSFET の充放電時間が 1ps を切り、回路のクロック周波数が GHz の領域に入ってきている。このような高速動作ではトランジスタ動作の正確な予測とともに、配線間容量によって生じるクロストークノイズの影響や、配線抵抗による遅延などを高精度に見積もった回路設計が必要となる。また、低電圧動作においては動作マージンが益々狭くなり高精度の設計技術が必要になるとともに、ノイズを見込んだ設計、製造ばらつきを見込んだ設計も求められている。これらの設計において複雑な回路動作要因を考慮し、正しい回路動作を保証した設計を行うには高精度な回路シミュレーション技術が不可欠となる。そこで用いられる回路シミュレーション用のトランジスタモデルもまたトランジスタの微細化に対応し、また回路の高速動作に対応した高精度なモデルが必要である。しかしながら現状ではトランジスタ内の動作を物理現象に忠実に表現し、かつ計算時間の少ないトランジスタモデルとは言えず、まだ課題として残されている。

このような問題に対して本研究では MOSFET のキャリア走行遅延を解析し、これを考慮した高速動作に対応できる回路シミュレーション用 MOSFET モデルの研究開発を行った。

第1章では本研究を行うに当たり、その意義と目的を明らかにするため、半導体集積回路とその解析技術の歴史的背景を概説し問題点を指摘した。続いて本研究の目的が、(1) MOSFET の 2 次元デバイスシミュレーションによる過渡解析とそれによるチャネル内キャリア応答現象の理解、(2) 上記から得られた知見をもとに半導体基本方程式に近似を適用した Non-Quasi-Static MOSFET モデルの定式化、(3) Non-Quasi-Static MOSFET モデル式の表面ポテンシャルモデル HiSIM への組み込み、(4) SPICE3 への HiSIM の組み込みとこれを用いた新しい Non-Quasi-Static MOSFET モデルの評価、であることを述べた。

第2章では本研究を遂行するに当たり必要となる MOSFET の基本方程式について述べ、さらに回路シミュレーションで用いられる高速動作における Quasi-Static MOSFET モデルの限界と従来の Non-Quasi-Static MOSFET モデルの問題点について述べた。

第3章では 2 次元デバイスシミュレータを用いて MOSFET の過渡解析を行い、MOSFET 内の物理現象を解析した。その結果、ゲート電圧の上昇時は、(1)電子濃度分布がソースからドレイン方

向に直線的に減少すること、(2)チャンネル形成前のキャリア先端位置はゲート電圧が一定速度で上昇する場合一定速度でドレインに向かって移動する、(3)チャンネル全体に対する電荷の時間変化量は、チャンネル形成前は直線的に増加するが、チャンネル形成後は一定になる、(4)ゲート電圧の上昇が停止した後もドレイン電流は上昇し続け、定常状態になるまでに有限の時間を要する、ことがわかった。

第4章では、電流連続方程式および電流密度式を満足する Non-Quasi-Static モデルの開発を試みた。基本的な試みとして第3章で得られた知見をもとに、キャリア密度分布をモデル化とキャリア走行時間のモデル化を行った。本モデルを用い伝導電流と変位電流について2次元シミュレーションとの比較により検証し、良い一致を見た。

第5章では、本研究で開発した Non-Quasi-Static モデルを回路シミュレータ SPICE3 に組み込み、MOSFET の turn-on 過渡解析と turn-off 過渡解析を行った。その結果、turn-on 解析ではドレイン電流が2次元シミュレーションと良く一致することを確認した。turn-off 解析において今回のように電荷密度分布を直線近似することでは不十分であることを述べた。

本研究の工業的意味はおよそ下記の通りである。

- (1) 電流連続方程式および電流密度式を満足するキャリア密度分布をモデル化し、キャリア走行遅延と組み合わせることにより MOSFET の過渡的な現象を解析的な式で表現できることを初めて明らかにした。
- (2) MOSFET のキャリア走行に関して考慮すべきキャリア遅延を解明した。これは今後の微細デバイス設計や回路設計に指針を与えるものである。
- (3) 今回開発した Non-Quasi-Static モデルを回路シミュレータ SPICE3 に組み込み、高速回路の過渡解析に十分使えることを確認した。

6.2 今後の課題

本研究の主内容はキャリア密度分布を解析式でモデル化したこと、MOSFET 内のキャリア走行遅延をモデル化したこと、およびこれらを組み合わせることにより回路シミュレーション用 Non-Quasi-Static MOSFET モデルとして利用できることを検証したことである。しかしながら、本研究では基本的な現象をもとにしたモデル化であり、これを一般化して完全な Non-Quasi-Static MOSFET モデルとするには以下の点を考慮したモデル化が必要である。

- (1) turn-off 時の電荷密度分布は上に凸の分布を示しており、直線で近似すると誤差を生じることが確認された。このため電荷密度分布に直線の他に丸みを帯びさせる近似を導入する必要がある。
- (2) 本研究ではドレイン電圧を 1V の場合について検討してきた。この場合はドレインからチャンネルへのキャリア流入は考慮しなくて良いが、ドレイン電圧が小さい場合はソースとドレインの両方からのキャリア流入を考慮する必要がある。このためのモデル化が必要である。

公表論文

(学術論文)

- (1) "A Self-Consistent Non-Quasi-Static MOSFET Model for Circuit Simulation Based on Transient Carrier Response"
N. Nakayama, H. Ueno, T. Inoue, T. Isa, M. Tanaka and M. Miura-Mattausch
Japanese Journal of Applied Physics Vol. 42, Part 1, No. 4B, April 2003 pp. 2132–2136.

(国際会議論文)

- (2) "A Self-Consistent Non-Quasi-Static MOSFET Model for Circuit Simulation Based on Transient Carrier Response"
N. Nakayama, H. Ueno, T. Inoue, T. Isa, M. Tanaka and M. Miura-Mattausch
Ext. Abs. Int. Conf. Solid-State Devices and Materials, Nagoya, Japan, pp. 408-409, 2002.

参 考 論 文

(学術論文)

- (1) "Circuit-Simulation Model of C_{gd} Changes in Small-Size MOSFETs Due to High Channel-Field Gradients"
D. Navarro, H. Kawano, K. Hisamitsu, T. Yamaoka, M. Tanaka, H. Ueno, M. Miura-Mattausch, H. J. Mattausch, S. Kumashiro, T. Yamaguchi, K. Yamashita, and N. Nakayama
IEICE Trans. Fund. Electron., Vol. E86-C, No. 3, pp. 474-480, 2003.
- (2) "Impurity-Profile-Based Threshold-Voltage Model of Pocket-Implanted MOSFETs for Circuit Simulation"
H. Ueno, D. Kitamaru, K. Morikawa, M. Tanaka, M. Miura-Mattausch, H. J. Mattausch, S. Kumashiro, T. Yamaguchi, K. Yamashita, and N. Nakayama,
IEEE Trans Electron Devices, vol. 49, no. 10, pp. 1783-1789, Oct. 2002.
- (3) "Simple Nondestructive Extraction of the Vertical Channel-Impurity Profile of Small-Size Metal -Oxide-Semiconductor Field-Effect Transistors"
Hans Juergen Mattausch, M. Suetake, D. Kitamaru, M. Miura-Mattausch, S. Kumashiro, N. Shigyo, S. Odanaka, and N. Nakayama,
Applied Physics Letters, Vol. 80, No. 16, pp. 2994-2996, 2002.
- (4) "Circuit Simulation Models for Coming MOSFET Generations"
M. Miura-Mattausch, H. Ueno, H. J. Mattausch, S. Kumashiro, T. Yamaguchi, K. Yamashita, and N. Nakayama,
IEICE Trans. Fund. Electron., Vol. E85-A, No. 4, pp. 740-747, 2002.
- (5) "Physical Modeling of the Reverse-Short-Channel Effect for Circuit Simulation"
M. Miura-Mattausch, M. Suetake, H. J. Mattausch, S. Kumashiro, N. Shigyo, S. Odanaka, and N. Nakayama,
IEEE Trans. Electron Devices, Vol. 48, No. 10, pp. 2449-2452, 2001.

(国際会議論文)

- (6) "HiSIM: A MOSFET Model for Circuit Simulation Connecting Circuit Performance with Technology"
M. Miura-Mattausch, H. Ueno, M. Tanaka, H. J. Mattausch, S. Kumashiro, T. Yamaguchi, K. Yamashita, N. Nakayama
2002 International Electron Devices Meeting TECHNICAL DIGEST, pp. 109-112, 2002
- (7) "HiSIM: Self-Consistent Surface-Potential MOS-Model Valid Down to Sub-100nm Technologies. (Invited)"
M. Miura-Mattausch, H. Ueno, H. J. Mattausch, S. Kumashiro, T. Yamaguchi, K. Yamashita, and N. Nakayama,
Proc. Modeling and Simulation of Microsystems, pp. 678-681, 2002.
- (8) "A Practical Small-Signal Equivalent Circuit Model for RF-MOSFETs Valid up to the Cut-Off Frequency"
H. Kawano, M. Nishizawa, S. Matsumoto, S. Mitani, M. Tanaka, N. Nakayama, H. Ueno, M. Miura-Mattausch, and H. J. Mattausch,
IEEE Int. Microwave Sym. Digest, pp. 2121-2124, 2002.

- (9) "Drift-Diffusion-Based Modeling of the Non-Quasistatic Small-Signal Response for RF-MOSFET Applications"
H. Ueno, S. Jinbou, H. Kawano, K. Morikawa, N. Nakayama, M. Miura-Mattausch, and H. J. Mattausch,
Proc. Int. Conf. Simulation Semicon. Processes & Devices, pp. 71-74, 2002.
- (10) "Analysis of Non-Quasistatic Contribution to Small-Signal Response for Deep Sub-um MOSFET Technologies"
S. Jinbou, H. Ueno, H. Kawano, K. Morikawa, N. Nakayama, M. Miura-Mattausch, and H. J. Mattausch,
Ext. Abs. Int. Conf. Solid-State Devices and Materials, Nagoya, Japan, pp. 26-27, 2002.

謝 辞

本研究の遂行ならびに本論文の作成にあたって終始御懇切なご指導とご鞭撻を頂きました、広島大学教授理学博士 三浦道子先生、広島大学教授工学博士 ハンス ユルゲン マタウシュ先生、広島大学助手工学博士 上野弘明先生に心から感謝の意を表します。

本研究を進めるに当って数々の有益なご教示を頂きました広島大学教授工学博士 高萩隆行先生、広島大学教授工学博士 宮崎誠一先生、広島大学教授工学博士 山西正道先生、広島大学教授工学博士 横山新先生に心から感謝の意を表します。

本研究に対して数々のご支援とともに幾度となく励まして頂きました株式会社富士通研究所常務取締役工学博士 中村哲夫氏、同取締役 吉川誠一氏、富士通株式会社技師長工学博士 伊藤隆司氏、株式会社半導体理工学研究センター相談役工学博士 竹本豊樹氏に心から感謝の意を表します。

本研究の一部は株式会社半導体理工学研究センターとの共同研究を通じて行われたものであり、同センター客員研究員の大黒達也氏（東芝勤務）、工学博士 熊代成孝氏（半導体理工学研究センター）、田口昌彦氏（ローム勤務）、工学博士 増田弘生氏（半導体理工学研究センター）のご協力と数々の有益なご指摘に対して深く感謝致します。

更に、本研究を進めるにあたり広島大学大学院在籍時に常に熱心な御討論と御協力を頂いた現 NEC 理学博士 田中聖康氏、現松下テクノロジーリサーチ 北丸大輔氏、現富士通研究所 久光一也氏、また 2 次元シミュレーションデータのご提供と日頃熱心な御討論を頂いた広島大学大学院生 ナバロドンディ氏、広島大学三浦研究室の諸氏に深く感謝致します。