

非線形ダイナミクスを用いた画像分割機能を有する 自然画像認識システムの研究

課題番号 11555102

平成11年度～平成12年度 科学研究費補助金
(基盤研究(B)(2)) 研究成果報告書

平成13年 3 月

研究代表者 森 江 隆
(広島大学工学部助教授)

目次

第1章	はしがき	3
第2章	本研究の背景	7
2.1	背景	7
2.2	目標	7
第3章	LSI化に適した処理モデル・アルゴリズムの開発	9
3.1	振動子ネットワークのLSI化を目指したモデル化	9
3.1.1	オリジナルなLEGIONモデル	9
3.1.2	VLSI化のためのLEGIONモデルの拡張	11
3.1.3	実画像による領域分割シミュレーション	13
3.1.4	拡張LEGIONモデルの演算精度の評価	14
3.1.5	領域抽出タイミングを決定する2重しきい値法	14
3.2	画像の大局的領域分割を行う抵抗ヒューズネットワーク	15
3.2.1	抵抗ヒューズネットワークモデル	15
3.2.2	数値シミュレーション結果	16
3.3	ガボール型ウェーブレット変換を行うセルラーニューラルネットワーク	17
第4章	パルス変調方式を用いたアナログ・デジタル融合回路アーキテクチャ	28
4.1	パルス幅変調(PWM)方式の基本原理	28
4.1.1	PWM方式の特徴	28
4.1.2	PWM方式による積和演算	28
4.1.3	PWM方式による任意非線形ダイナミクス回路	29
4.2	パルス位相変調(PPM)方式	30
4.2.1	PPM方式の特徴	30
4.2.2	PWM/PPM方式による任意非線形ダイナミクスの実現	30
4.2.3	PPM方式による任意非線形ダイナミクス回路の利点	32
第5章	パルス変調方式による画像処理回路	35
5.1	振動子ネットワーク回路	35
5.1.1	PWM方式による振動子回路	35
5.1.2	PWM/PPM方式による振動子回路	37
5.1.3	画像分割のための2重しきい値処理回路	39
5.2	抵抗ヒューズ・振動子ネットワーク回路	40

5.2.1	抵抗ヒューズ処理	40
5.2.2	結合荷重演算	41
5.2.3	非線形振動子	41
5.3	PWM ピクセル回路	42
第 6 章	パルス変調方式による画像処理チップの設計・試作・評価	46
6.1	振動子ネットワークチップの設計・試作・評価	46
6.1.1	振動子回路	46
6.1.2	荷重係数演算回路	46
6.1.3	グローバル抑制ユニット回路	48
6.1.4	結合入力演算回路	48
6.1.5	振動子ネットワーク回路	49
6.2	抵抗ヒューズネットワークおよびガボール型ウェーブレット変換用セルラーニューラルネットワークのための PWM ピクセル回路の設計	49
第 7 章	顔認識のアルゴリズム	65
7.1	ダイナミックリンクアーキテクチャ(DLA)による顔認識	65
7.2	顔認識のシミュレーション	68
第 8 章	まとめと今後の展開	70
	参考文献	71

第1章 はしがき

実世界の情景画像を実時間で、完全に自動で認識するシステムの構築が期待されている。例えば、複数の対象物が存在する自然な情景の中でリアルタイムに人の顔を認識する装置が実用化されれば、ロボットビジョン、福祉機器、エンターテインメントなどさまざまな分野での応用が期待できる。

自動認識処理の第一段階は、背景からのパターン抽出であるが、完全自動かつ実時間でこれが行えるシステムはまだ存在しない。画像分割については、結合振動子ネットワークを用いる方法が D. L. Wang らにより提案されている [1, 2]。各画素に振動子ユニットを対応させ、ユニット間の結合を利用して、時間経過とともに分割画像を順次抽出する。効率的ハードウェアが実現できれば高速の画像分割が可能である。

また、顔認識において歪みや顔の向き、照明などの影響を受けにくい強力な方式としてウェーブレット変換を用いる方法が v. d. Malsburg らにより提案されているが、計算量が膨大なため専用デジタルハードウェアを用いても実時間での認識はできていない [3]。

そこで、本研究では、入力画像から有意なパターン領域をマイクロ秒オーダで順次抽出するとともに、高速ウェーブレット変換による特徴抽出を行うことにより、実世界の情景画像を実時間で認識・理解する知能システムの構築を目指す。このために、ノイズ除去などの画像整形、パターン抽出、およびウェーブレット変換処理を非線形アナログダイナミクスを利用して実行する、機能可変のアナログ・デジタル融合方式画素並列動作型集積システムを開発するとともに、このシステムを有効に利用する情報処理アルゴリズムを開発することを目的とする。

本研究で提案しているパルス変調方式を応用したアナログ・デジタル融合型回路アーキテクチャでは、デジタル回路の制御性・安定性・集積性を有しながら、任意のアナログダイナミクスを実現できる。これは、任意の入出力関数と同形の時間波形をデジタル回路と D-A 変換器の組み合わせで生成し、この波形をパルス変調回路により入出力関数に変換することにより達成される。従来より非線形ダイナミク

スを用いて情報処理を行うモデルが多く提案されてきたが、任意の非線形・非単調なアナログダイナミクスをハードウェア上で実現することは困難であったため、時間のかかる汎用計算機上での数値シミュレーションによることがほとんどで、実用的な実時間処理が不可能であった。さらに、提案している回路方式では、回路動作中においても入出力特性を変更できるという大きな特長がある。

本研究では、上記の回路構成を用いて、ダイナミクスを変更することによりハードウェアの機能を変更しながら、自然画像の画像整形(ノイズ除去)からパターン抽出、特徴抽出までを画素並列動作型ハードウェアで実現する。パターン抽出をマイクロ秒オーダー、ウェーブレット変換による特徴抽出をミリ秒オーダーで実行することを目標としており、従来のデジタル方式のハードウェアでは全く実現不可能な高速性と高機能性を実現する。ダイナミクスの形態としては、画像整形には抵抗ヒューズ型ネットワークを、パターン抽出には非線形振動子ネットワークを、ウェーブレット変換による特徴抽出には非線形セルラーネットワークを想定している。

研究組織

- 研究代表者： 森江 隆 (広島大学 工学部 助教授)
研究分担者： 岩田 穆 (広島大学 工学部 教授)
研究分担者： 永田 真 (広島大学 工学部 助手)
研究分担者： 水谷 伸 (NTT コミュニケーション科学研究所・研究主任)
研究協力者： 安藤博士 (広島大学大学院 工学研究科 博士課程後期)
研究協力者： 三宅 誠 (広島大学大学院 先端物質科学研究科 博士課程前期)
研究協力者： 西島誠一 (広島大学大学院 先端物質科学研究科 博士課程前期)

研究経費

- 平成 11 年度 6,100 千円
平成 12 年度 3,100 千円
計 9,200 千円

研究発表

(1) 学会誌等

1. H. Ando, M. Miyake, T. Morie, M. Nagata, A. Iwata,
“A Nonlinear Oscillator Network Circuit for Image Segmentation with Double-threshold Phase Detection”
Ninth International Conference on Artificial Neural Networks (ICANN99), IEE, pp. 655-660, 1999.
2. H. Ando, M. Miyake, T. Morie, M. Nagata, A. Iwata,
“A Nonlinear Oscillator Network for Gray-level Image Segmentation and PWM/PPM Circuits for Its VLSI Implementation”
IEICE Trans. Fundamentals, Vol. E83-A, No. 2, pp. 329-336, 2000.
3. H. Ando, T. Morie, M. Miyake, M. Nagata, and A. Iwata,
“Image Object Extraction using Resistive-Fuse and Oscillator Networks and a Pulse-Modulation Circuit for their LSI Implementation”
Extended Abstracts of the 2000 International Conference on Solid State Devices and Materials (SSDM2000), pp. 368-369, 2000.
4. T. Morie, M. Miyake, S. Nishijima, M. Nagata and A. Iwata,
“A Multi-Functional Cellular Neural Network Circuit Using Pulse Modulation Signals for Image Recognition”
Proceedings of 7th International Conference on Neural Information Processing (ICONIP-2000), pp. 613-617, 2000.

(2) 口頭発表

1. H. Ando, M. Miyake, T. Morie, M. Nagata, A. Iwata,
“A Nonlinear Oscillator Network Circuit for Image Segmentation with Double-threshold Phase Detection”
9th International Conference on Artificial Neural Networks (ICANN'99), Edinburgh, UK, Sept. 7-10, 1999.
2. H. Ando, T. Morie, M. Miyake, M. Nagata, and A. Iwata,
“Image Object Extraction using Resistive-Fuse and Oscillator Networks and a Pulse-Modulation Circuit for their LSI Implementation”
2000 International Conference on Solid State Devices and Materials (SSDM2000), Sendai, Aug. 30, 2000.
3. T. Morie, M. Miyake, S. Nishijima, M. Nagata and A. Iwata,
“A Multi-Functional Cellular Neural Network Circuit Using Pulse Modulation Signals for Image Recognition”
7th International Conference on Neural Information Processing (ICONIP-2000), Taejon, Korea, Nov. 16, 2000.
4. 安藤博士, 三宅誠, 森江隆, 永田真, 岩田穆
抵抗ヒューズと振動子ネットワークを組み合わせた画像分割処理とそのLSI回路実現
電子情報通信学会ニューロコンピューティング研究会 NC99-167, 東京, 2000年3月.
5. 安藤博士, 森江隆, 永田真, 岩田穆
画像分割用ネットワークのための非線形振動子回路の試作
電子情報通信学会総合大会, A-1-4, 広島大学(東広島), 2000年3月.
6. 三宅誠, 森江隆, 永田真, 岩田穆
パルス変調方式による抵抗ヒューズネットワーク回路
電子情報通信学会総合大会, A-1-46, 広島大学(東広島), 2000年3月.
7. 西島誠一, 森江隆, 永田真, 岩田穆
PWM方式によるガボール型フィルタ回路
電子情報通信学会総合大会, A-1-51, 広島大学(東広島), 2000年3月.

第2章 本研究の背景

2.1 背景

実世界のあるイメージシーンを認識しようとするとき、そのシーンに存在するさまざまな個々のオブジェクトを同時に認識することは、情報量が膨大なために非常に困難である。そのため、オリジナルイメージをいくつかの領域に分割し、個々のオブジェクトを別々に処理することが必要となってくる。最近、D. L. Wang と D. Terman によって画像分割のための実用的な振動子ネットワークモデル *locally excitatory, globally inhibitory oscillator networks (LEGION)* が提案された [1, 2]。このモデルは画素に対応する多数の振動子で構成されているので、実イメージや動画像等の実時間処理を行うには超並列動作が不可欠であり、VLSI 技術によるインプリメントが必須である。

一方、我々は多並列な演算が可能でかつ任意の非線形演算が行えるパルス変調回路方式を提案し [4-6]、離散時間・連続状態の非線形ダイナミクスを実行する回路をパルス変調方式を用いて構成した [7]。パルス変調方式はデジタル回路との整合性もよいので、画像処理などの実用的な目的には適した回路方式である。

2.2 目標

本研究での具体的な目標は以下の通りである。

1. LSI 化に適した、非線形振動子ネットワークによる多階調画像の画像分割処理のためのアルゴリズムを開発する。
2. 自然画像の画像整形のために、LSI 化に適した抵抗ヒューズネットワークを採用し、そのための回路を開発する。
3. LSI 化に適した高速ウェーブレット変換のためのアルゴリズムを開発する。
4. 非線形振動子ネットワークの回路アーキテクチャをパルス変調方式を用いて提案する。
5. 非線形ダイナミクスを実現する機能可変なネットワーク回路を開発する。

6. 提案した非線形振動子ネットワーク回路を CMOS 技術を用いて設計し，試作・評価する。

第3章 LSI化に適した処理モデル・アルゴリズムの開発

3.1 振動子ネットワークのLSI化を目指したモデル化

3.1.1 オリジナルな LEGION モデル

D. L. Wang と D. Terman によって提案された画像分割のための振動子ネットワークモデル *locally excitatory, globally inhibitory oscillator networks (LEGION)* について説明する。非線形ダイナミクスを用いるオリジナルなモデルは2値の画像分割のためのものである。

このモデルでは1画素につき1個の非線形振動子が配置され、それぞれの振動子は4個の隣接振動子と相互結合している。また、すべての振動子はグローバル抑制ユニットと相互結合している。振動子は x と y の2変数で表現され、そのダイナミクスは式(3.1), (3.2)で表される。

$$\frac{dx_i}{dt} = 3x_i - x_i^3 + 2 - y_i + I_i H(p_i + \exp(-\alpha t) - \theta) + S_i + \rho, \quad (3.1)$$

$$\frac{dy_i}{dt} = \varepsilon[\gamma(1 + \tanh(x_i/\beta)) - y_i], \quad (3.2)$$

ここで、 α , θ , ρ , ε , γ , β は定数である。 $H(x)$ はヘビサイドステップ関数を表し、 $x \geq 0$ のとき $H(x) = 1$, $x < 0$ のとき $H(x) = 0$ である。 I_i は画像入力データを表し、画素 i にデータが存在するときはある正の値をとり、データが存在しないときは0である。このモデルに画像データが入力されると、図3.1に示すようにネットワークはある同期・非同期振動状態を生み出す。同期発火している領域がコヒーレントな画像領域として抽出される。

振動子の振動状態は式(3.1)の p_i , S_i で決定される。変数 p_i は振動子 i がコヒーレントな領域に属するかどうかの指標となるパラメータであり、そのダイナミクスは次式で表される。

$$\frac{dp_i}{dt} = \lambda(1 - p_i)H\left[\sum_{k \in N(i)} T_{ik}H(x_k - \theta_x) - \theta_p\right] - \mu p_i, \quad (3.3)$$

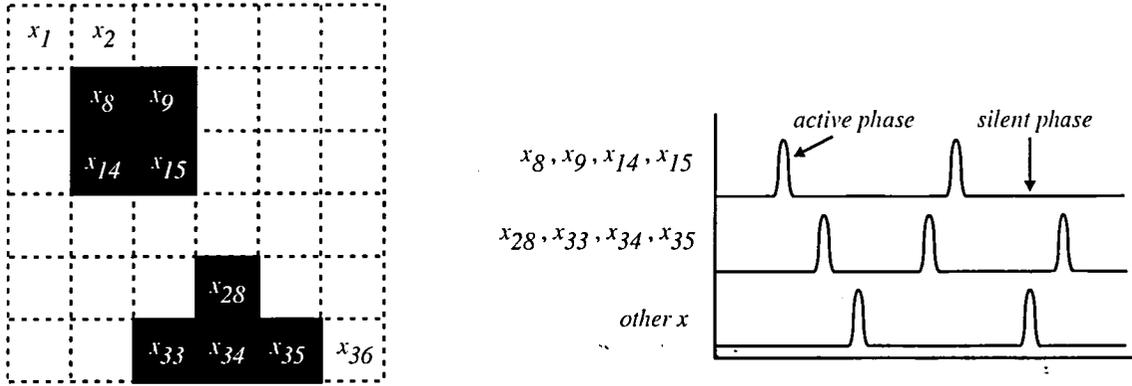


図 3.1: 振動子ネットワークの振動状態

ここで、 λ , T_{ik} , θ_x , θ_p , μ は定数である。この式から、 $H[\sum_{k \in N(i)} T_{ik} H(x_k - \theta_x) - \theta_p]$ が 1 のとき p_i が 1 に近づき、逆に 0 のときは p_i が 0 に近づく。したがって、ある振動子 i の隣接振動子が全て閾値 θ_x を越えることができるとき、つまり隣接振動子がすべて画像入力を受けているとき、 p_i は 1 になり、ひとつでも隣接振動子が入力を受けていないと p_i が 0 になる。このとき、式(3.1)から p_i が 1 のときは $H(p_i + \exp(-\alpha t) - \theta)$ が 1 になるため、入力データ I_i が式中に残る。しかし、 p_i が 0 のときは $H(p_i + \exp(-\alpha t) - \theta)$ が 0 になるため、強制的に入力データの項は消える。つまり、分割すべき画像の中にもいない振動子はたとえ画像入力データがあつたとしても無視される。このパラメータにより、ノイズ除去の効果を産み出すことができる。

式(3.1)における結合入力 S_i について説明する。振動子は S_i の値によって発火するかしないかが決定される。結合入力 S_i は次式で表される。

$$S_i = \sum_{k \in N(i)} W_{ik} H(x_k - \theta_x) - W_z H(z - \theta_{xz}), \quad (3.4)$$

この式における W_{ik} は荷重係数を表し、 z はグローバル抑制ユニットの内部状態を表す。 W_z , θ_x , θ_{xz} は定数である。荷重係数 W_{ik} は次式におけるダイナミクスで表される。

$$\frac{dW_{ik}}{dt} = W_T T_{ik} u_i u_k - W_{ik} \sum_{j \in N(i)} T_{ij} u_i u_j, \quad (3.5)$$

$$\frac{du_i}{dt} = (1 - u_i) I_i - \nu u_i, \quad (3.6)$$

W_T , T_{ij} , μ は定数である。まず、変数 u_i はそのダイナミクスに従って入力データ I_i がないときは 0、あるときは 1 に近づく。 W_{ik} は u_i , u_j がともに 0 でないとき、ある値を持ち、 u_i , u_j がともに 0 の場合は 0 に近づく。したがって、振動子 i と k と

の荷重係数は i と k が互いに入力データを受けているときのみある値を持つようになり、両振動子が同期発火し、それ以外の場合は非同期発火する。つまり、振動子が同じ領域に属するときは同期発火、領域と背景の境目にある振動子は非同期発火し、背景と領域との画像分割が実行できる。しかし、振動子 i が実際に発火できるかどうかはグローバル抑制ユニットによって定められる。グローバル抑制ユニットの内部状態変数 z は次式で表される。

$$\frac{dz}{dt} = \phi(\sigma - z), \quad (3.7)$$

この式において、 ϕ は定数であり、 σ は全ての振動子のうちひとつでも閾値 θ_z を越えると 1 になり、 z も 1 になる。また、全ての振動子が閾値以下だと 0 になり、 z も 0 になる。したがって、ひとつでも振動子が発火するとグローバル抑制ユニット z が閾値 θ_{xz} を越えて、式 (3.4) の右辺第 2 項により全振動子が抑制される。その結果、グローバル抑制ユニットによる抑制よりも隣接振動子からの興奮性入力の方が大きい振動子のみが発火でき、抑制に耐えられない振動子は速く非発火状態に陥る。この作業が繰り返し行われると、コヒーレント領域間での非同期発火が達成される。

以上説明したダイナミクスによって、2 値画像の領域分割が実行できる。この振動子ネットワークモデルは多数の振動子で構成されているので、実イメージや動画像等の実時間処理を行うには超並列動作が不可欠であり、VLSI 技術によるインプリメントが必須である。しかし、オリジナルの LEGION モデルでは、多階調画像の領域分割法は非線形アナログダイナミクスによるものではなく、VLSI 化には不適な高級言語で記述されていた。そこで、我々は非線形ダイナミクスにより多階調画像の画像分割を実行できるように若干の修正を加え、発展させた。

3.1.2 VLSI 化のための LEGION モデルの拡張

拡張 LEGION モデルの概略図を図 3.2 に示す。オリジナルのモデルと同様、1 画素につき 1 個の振動子が配置されている。ただし、それぞれの振動子は 8 個の隣接振動子と相互結合している。グローバル抑制ユニットとの相互結合も同様に存在する。ダイナミクスを以下に示す。

$$\frac{dx_i}{dt} = 3x_i - x_i^3 + 2 - y_i + \alpha CP_i + H_2(S_i) + \rho, \quad (3.8)$$

$$\frac{dy_i}{dt} = \varepsilon[\gamma(1 + \tanh(x_i/\beta)) - y_i], \quad (3.9)$$

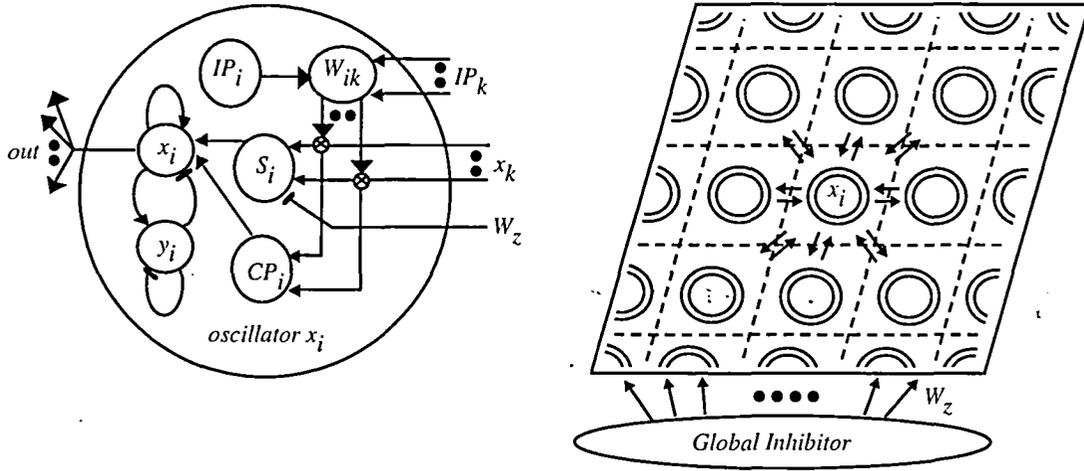


図 3.2: 拡張 LEGION モデル

ここで、 α , ρ , ε , γ , β は定数であり、 CP_i は以下に述べるように画像データによって決まる変数である。また、 $H(x)$ は前節で述べたヘビサイドステップ関数であり、 $H_2(x)$ は x が 0 以上のとき 1 であり、0 未満のときは -1 になる。結合入力 S_i は式 (3.4) と同一であるが、荷重係数を変更した。荷重係数 W_{ik} は次式で示される。

$$W_{ik} = \frac{imax}{(1 + |IP_i - IP_k|)}, \quad (3.10)$$

$$CP_i = H\left(\sum_{k \in N_i} W_{ik} - \theta_p\right), \quad (3.11)$$

ここで、 IP_i は画素 i の入力値で $imax$ はデータの最大値 (8 ビットデータの場合 255) である。式 (3.8) における CP_i は式 (3.11) で表され、前節で説明した p_i と似たような効果をもち、この項が正の場合は発火しやすくなる。

荷重係数 W_{ik} は隣接画素との入力差が小さいほど大きくなるため、コヒーレントな領域では W_{ik} が大きくなる。その結果、式 (3.8) の右辺 $H_2(S_i)$ が 1 になり、振動子 i と k は同期発火を起こす。異なった領域の境界では荷重係数が小さくなるため、両者の振動は非同期的になる。このようにして領域分割が行われる。

しかし、以上の過程では隣接している振動子に対して同期・非同期発火を起こさせるだけで、隣接していない振動子間では振動がどのような状態になるかはわからないので、唯一のコヒーレント領域が抽出できるとは限らない。そのためには、コヒーレント領域として同期発火している別々の振動子集団の間で非同期振動を起こさせなければならない。これを行うのがオリジナルの LEGION モデル同様、グローバル抑制ユニットであり、これに対応するのが式 (3.4) の右辺第 2 項である。我々の

拡張モデルではグローバル抑制ユニットのダイナミクスも以下のように簡略化した。

$$z = H(\sum H(x_i - \theta_{xz}) - 1). \quad (3.12)$$

以上のように、ダイナミクスを若干変更することにより、オリジナルの LEGION モデルと同じコンセプトで多階調画像の領域分割が行える。

3.1.3 実画像による領域分割シミュレーション

式(3.8), (3.9)の微分方程式を解くには、連続時間ダイナミクスを離散時間ダイナミクスに変更する必要がある。また、後述するパルス変調回路は離散時間のダイナミクスを実行することが可能である。そこで、微分方程式をオイラー法を用いて離散化した。また、拡張 LEGION モデルのネットワークの状態を決める変数 x は正負の値をとるが、パルス変調方式では状態値は常に正であるから、 x が常に正の値をとるようにダイナミクスを若干変更した。そのダイナミクスは以下の通りである。

$$\begin{aligned} \frac{x_i(t+1) - x_i(t)}{\Delta t} &= -(x_i(t) - 1.2)^2(x_i(t) - 4.2) + \rho + \alpha CP_i \\ &\quad + H_2(S_i) - y_i(t), \end{aligned} \quad (3.13)$$

$$\frac{y_i(t+1) - y_i(t)}{\Delta t} = \varepsilon[\gamma(1 + \tanh(x_i(t)/\beta) - \delta) - y_i(t)], \quad (3.14)$$

ここで、 δ は定数である。この差分方程式を用いて、数値シミュレーションにより実画像の領域分割を行った。シミュレータは C 言語および MATLAB で記述した。画像データ入力及び画像出力データ検証のためのインターフェースを MATLAB で、拡張 LEGION モデルの実行及び結果出力を C 言語でプログラムした。

入力として与えた原画像を図 3.3 に、シミュレーション結果を図 3.4 に示す。与えたパラメータの値はそれぞれ $\alpha = 0.2, \rho = 0.02, \varepsilon = 0.02, \beta = 0.1, \gamma = 6.0, \phi = 3.0, \delta = 20, \theta_{xz} = 0.1, \theta_x = 0.6, \theta_z = 0.1, \theta_p = 1000, \Delta t = 0.15, W_z = 75$ とした。入力は 8 ビット階調、画素数は 150×150 である。

図 3.4(a) から明らかなように、入力画像中の 3 つの顔のうちの 1 つの顔が独立して抽出されている。この結果は振動子ネットワークのある時刻での状態を出力したものであり、異なった時刻では図 3.4(b), (c) に示すように別の抽出領域が現れる。ネットワークの状態としては、画像として見えているところは発火状態 ($x_i > 0$)、黒い背景が非発火状態 ($x_i \simeq 0$) に相当する。

このモデルにおいて式(3.4)における W_z の値を大きくすると分割領域がより細か

くなり、小さくするとおおまかになる。このため、画像入力に対し W_2 を適切な値に設定することが重要である。

3.1.4 拡張 LEGION モデルの演算精度の評価

LEGION モデルを拡張し、数値シミュレーションにより非線形ダイナミクスによる実画像領域分割が可能であることを示した。しかし、拡張 LEGION モデルの VLSI 実行のためには、処理に必要な演算精度を明らかにする必要がある。そこで、 W_{ik} , S_i , CP_i , z , $x_i(t)$, $y_i(t)$ を求める際、その計算結果に回路上のランダムノイズに相当する一様乱数を加えてシミュレーションを行った。このとき、乱数の最大振幅 $rmax$ とデータの最大値幅 $imax$ との比より算出したビット精度

$$N_{prec} \equiv \log_2 \frac{imax}{rmax} \quad (3.15)$$

をパラメータとした。入力画像は図 3.3 に示したものである。シミュレーション結果を図 3.5(a), (b) に示す。 $N_{prec} = 4$ のとき、振動現象は生じるが、同期・非同期現象が現れず、領域分割が行われなかった。一方、 $N_{prec} = 5$ の場合は領域分割が実行できた。この結果から、拡張 LEGION モデルの VLSI 実行には 5 ビット以上の演算精度が必要であることが分かった。これは後述するパルス変調方式で十分実現できる演算精度である。

3.1.5 領域抽出タイミングを決定する 2 重しきい値法

以上提案したモデルでは、アナログの情報である振動状態と抽出領域である 2 値情報との関係が明らかでない。つまり、連続的に変化している振動子状態の、どのタイミングで完全な領域抽出が行われるのかを知るべきがない。そこで、本節ではこの問題を明らかにし、正確な領域分割 (抽出) 法を提案する。

まず、振動子 i の活動度として 2 値変数 $\phi(x_i)$ を導入する。これは、画素 i がアクティブな画像領域に含まれているかどうかを決定する変数である。アナログデータから 2 値データを得るための最も簡単な方法はしきい値処理である。そこで、 $\phi(x_i) = H(x_i - \theta_1)$ とした。ここで $H(\cdot)$ は前節で述べたステップ関数であり、 θ_1 はしきい値である。シミュレーション結果の一例を図 3.6(b) に示す。図 3.6(b)-2, 3 における文字「C」や、図 3.6(b)-4, 5, 6 における文字「D」のように、時間の経過とともに分割すべき領域が徐々に現れることがわかる。さらに、図 3.6(b)-2 では複数の分割領

域が同時に現れている。図 3.7(a) に、このような状況における振動子の状態 $\{x_i\}$ と活動度 $\{\phi(x_i)\}$ との関係を示す。単一のしきい値を用いる方法では、連続的に変化している出力から、唯一の分割領域を完全に抽出するタイミングを決定するのは困難である。

この問題を解決するため、2重しきい値処理を提案する。図 3.7(b) に示すように、2番目のしきい値パラメータ θ_2 を導入し、2つのしきい値を用いて $\phi(x)$ の抑制領域を定義する。少なくとも1つの振動子が抑制領域に属するとき、すなわちある振動子 i において $\theta_2 < x_i < \theta_1$ が成り立つ場合、図 3.7(b) に示すように、全ての振動子の活動度 $\phi(x_i)$ の値を 0 にする。その結果、時刻 t_1 では $\phi(x_i) = \phi(x_j) = 0$ となり、時刻 t_2, t_3 では $\phi(x_j)$ と $\phi(x_i)$ がそれぞれ現れる。図 3.6(c) に示すように、この例では、2重しきい値処理により完全な画像分割・抽出が実行できる。

3.2 画像の大局的領域分割を行う抵抗ヒューズネットワーク

3.2.1 抵抗ヒューズネットワークモデル

複雑な背景を伴った自然画像では、小さな領域が無数に存在するため、認識のために意味のある正確な画像分割が困難である。この問題を解決するためには、画像の平滑化により複数の小さな領域を一つの領域に統一し、分割領域を減少させる必要がある。しかし、大まかな領域の境界は残しておかなければならない。このような画像の再構成を非線形アナログダイナミクスを用いて実行するモデルとして、抵抗ヒューズネットワークが知られている [8]。そこで、本節では抵抗ヒューズネットワークと非線形振動子ネットワークを組み合わせた新しい画像分割法を提案し、複雑な自然画像の領域分割・抽出を実現する。

抵抗ヒューズネットワークモデルを図 3.8 に示す。このモデルは各画素値に対応する電圧源 I_i およびコンダクタンス σ の線形抵抗からなる画素ノードが、非線形な特性を持つ抵抗ヒューズで隣接ノードと結合された構造をもつ。図 3.8 では簡単のため4隣接の場合を示しているが、以下のモデルでは8隣接結合を考える。

抵抗ヒューズネットワークは消費電力を表す以下の関数 E が極小の状態に安定化する。

$$E = \sum_i \sum_{k \in n_i} \int_0^{O_i - O_k} G(V) dV + \frac{\sigma}{2} \sum_i (O_i - I_i)^2, \quad (3.16)$$

ここで、 O_i は画素ノード i の電圧(ネットワークの出力値)、 n_i は i の隣接画素ノードである。 $G(\cdot)$ は図 3.9で示される抵抗ヒューズの電流特性であり、次式で表される。

$$G(V) = \left[\frac{1}{1 + \exp(2\eta(V^2 - \delta^2))} \right] \frac{V}{R}, \quad (3.17)$$

ここで、 η , δ , R は定数である。 $\eta = 0$ のときは通常の線形抵抗であるが、 $\eta = 1$ では抵抗ヒューズ特性となる。このとき、 $|O_i - O_k| > \delta$ の時は抵抗値が無限大となり、接続が切れる。これでエッジ強調処理が実行される。逆に、 $|O_i - O_k| \leq \delta$ の時は抵抗値が一定となり、電圧に比例した電流が流れ、平滑化処理が実行される。

平滑化・エッジ強調処理を行うために、最急降下法を用いて E が極小になるネットワークの安定状態を求める。最急降下法はハードウェア上で簡単に実現でき、モデルの VLSI 実現の点から有利である。最急降下法は次の式で表される。

$$O_i(t+1) = O_i(t) - \nu \frac{\partial E}{\partial O_i}, \quad (3.18)$$

$$\frac{\partial E}{\partial O_i} = \sum_{k \in n_i} G(O_i - O_k) + \sigma(O_i - I_i), \quad (3.19)$$

ただし、 ν は定数である。ここで、式(3.18)、(3.19)を解く際、 $\eta = 1$ の状態を始めると、ローカルミニマムに陥ってしまう可能性がある。そこで、 $G(\cdot)$ の特性を図 3.9のように段階的に変化させるアニーリングを併用することで、 E の最小値を求める。

3.2.2 数値シミュレーション結果

抵抗ヒューズネットワークを用いた画像再構成処理の数値シミュレーション結果を図 3.10に示す。原画像として図 3.10(a)を用い、式(3.17)における η を 0から 1に離散的に 10段階変化させてシミュレーションを行った。ここで、式(3.16)–(3.18)における定数はそれぞれ $\sigma = 1/120$, $R = 20$, $\nu = 1$ であり、 δ は図 3.10に示した通りである。図 3.10(d)–(g)に示すように、小さな領域が平滑化されて大きな領域と一体化し、 δ を増加すると一体化する領域が広がるのがわかる。また、ある程度 δ の値が小さいとエッジ情報が保たれていることがわかる。

次に、振動子ネットワークを用いた領域分割・抽出の数値シミュレーションを行った。結果を図 3.11に示す。図 3.11(a)からわかるように、原画像(図 3.10(a))を直接振動子ネットワークに与えた場合は複数の領域が同時に分割されてしまう。これは、分割領域が多すぎると、グローバル抑制ユニットの機能が正しく働かなくなるためである。これに対し、抵抗ヒューズネットワークにより領域を減らした画像(図 3.10(f))

を振動子ネットワークに与えた場合は、図 3.11(b)–(d) に示すように正確な画像分割が実行されている。このように、抵抗ヒューズネットワークによる画像再構成処理は、振動子ネットワークによる画像分割・抽出の前処理として非常に有効な手段である。

3.3 ガボール型ウェーブレット変換を行うセルラーニューラルネットワーク

自然画像認識のためには分割・抽出されたそれぞれの領域画像が何であることを認識しなければならない。このために特徴抽出が必要である。ガボールウェーブレット変換は人の脳の初期視覚過程でも実行されている特徴抽出法として知られており、非常に有効な方法だが、演算量の多いため実用化が難しいとされてきた。

しかし、ガボール型ウェーブレット変換を画素並列で効率よく実行するアナログセルラーネットワーク回路がすでに提案されている [9, 10]。その 1 次元モデルを図 3.12 に示す。各画素に対応するセルは実部と虚部に相当する 2 つのノードから成っている。(ノード電圧をそれぞれ v_n^r, v_n^i で表す)。この回路で実現される畳み込みカーネルは以下のように、指数関数で減衰する正弦波である。

$$h(n) = \frac{\lambda}{2} e^{-\lambda|n|} e^{j\omega_0 n} \quad (3.20)$$

ここで、 λ は減衰の定数であり、 ω_0 は振動の周波数である。これにより、局所的な空間周波数 ω_0 の成分が抽出される。本来のガボール変換は正弦波の包絡線がガウス関数であるが、それが指数関数であっても特徴抽出として用いる場合は有効である。

このアナログセルラー回路のダイナミクスはキルヒホッフの電流則から、次のように表される。

$$\begin{aligned} \begin{bmatrix} \dot{v}_n^r \\ \dot{v}_n^i \end{bmatrix} &= \begin{bmatrix} \cos \omega_0 & -\sin \omega_0 \\ \sin \omega_0 & \cos \omega_0 \end{bmatrix} \begin{bmatrix} v_{n-1}^r \\ v_{n-1}^i \end{bmatrix} \\ &+ \begin{bmatrix} 2 + \lambda^2 & 0 \\ 0 & 2 + \lambda^2 \end{bmatrix} \begin{bmatrix} v_n^r \\ v_n^i \end{bmatrix} \\ &+ \begin{bmatrix} \cos \omega_0 & \sin \omega_0 \\ -\sin \omega_0 & \cos \omega_0 \end{bmatrix} \begin{bmatrix} v_{n+1}^r \\ v_{n+1}^i \end{bmatrix} \\ &+ \begin{bmatrix} \lambda^2 I_n \\ 0 \end{bmatrix} \end{aligned} \quad (3.21)$$

このダイナミクスを次章で述べる PWM ピクセル回路での離散時間ダイナミクスで近似するために、まず、これらの式を各項が二つの変数（または変数と定数）の

差で表されるように変形する。ここで、電圧 v^r および v^i は正負の値をとり得るので、0に相当するパルス幅として W_0 を定義し、負の値は W_0 より小さなパルス幅を有する PWM 信号で表す。次に、電圧 v の代わりにパルス幅 W を用いて、式 (3.21) から以下の差分方程式を得る。

$$\begin{aligned}
\Delta W^r &\equiv W^r(t+1) - W^r(t) \\
&= \lambda^2(I_n - W_0) \\
&\quad + \cos \omega_0 \cdot (W_{n-1}^r - W_0) \\
&\quad + \cos \omega_0 \cdot (W_{n+1}^r - W_0) \\
&\quad + \sin \omega_0 \cdot (W_{n+1}^i - W_{n-1}^i) \\
&\quad - (2 + \lambda^2)(W_n^r - W_0), \\
\Delta W^i &\equiv W^i(t+1) - W^i(t) \\
&= \cos \omega_0 \cdot (W_{n-1}^i - W_0) \\
&\quad + \cos \omega_0 \cdot (W_{n+1}^i - W_0) \\
&\quad - \sin \omega_0 \cdot (W_{n+1}^r - W_{n-1}^r) \\
&\quad - (2 + \lambda^2)(W_n^i - W_0). \tag{3.22}
\end{aligned}$$

以上は1次元モデルだが、2次元への拡張は容易で、 x, y 方向の周波数を変えることで、自由な方向の特徴抽出ができるのもこのモデルの特徴である。

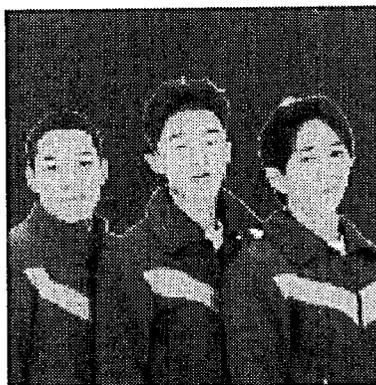
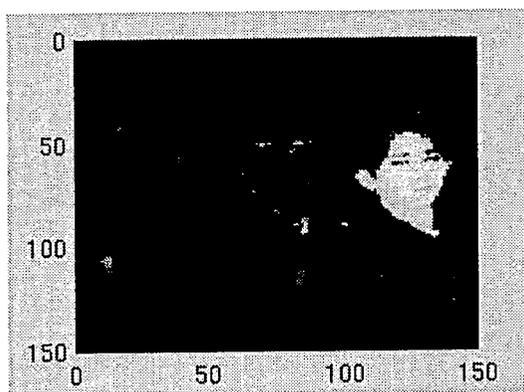
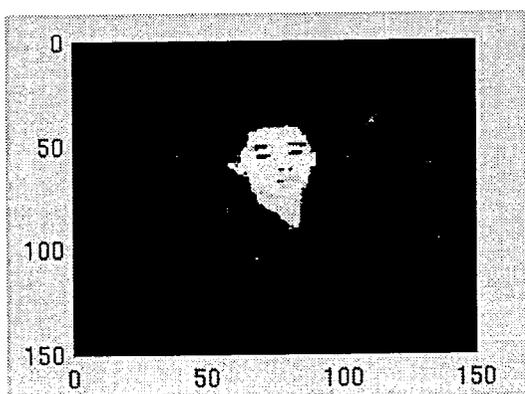


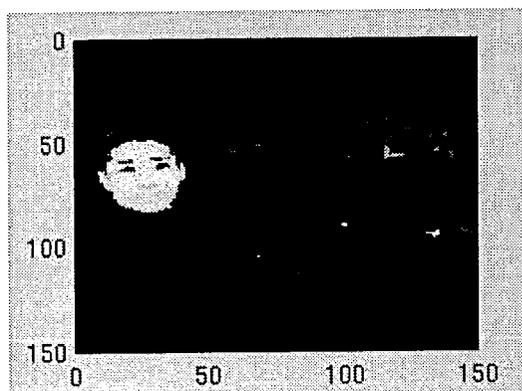
図 3.3: 入力画像 (グレースケール)



(a)

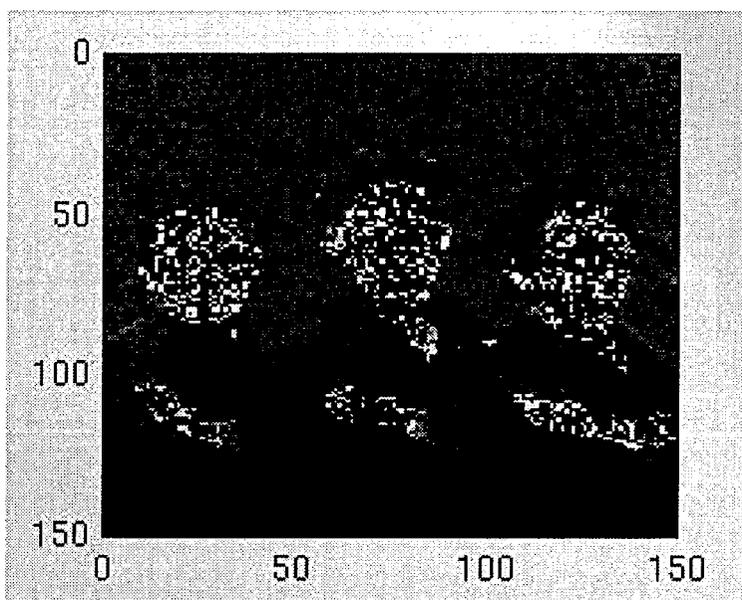


(b)

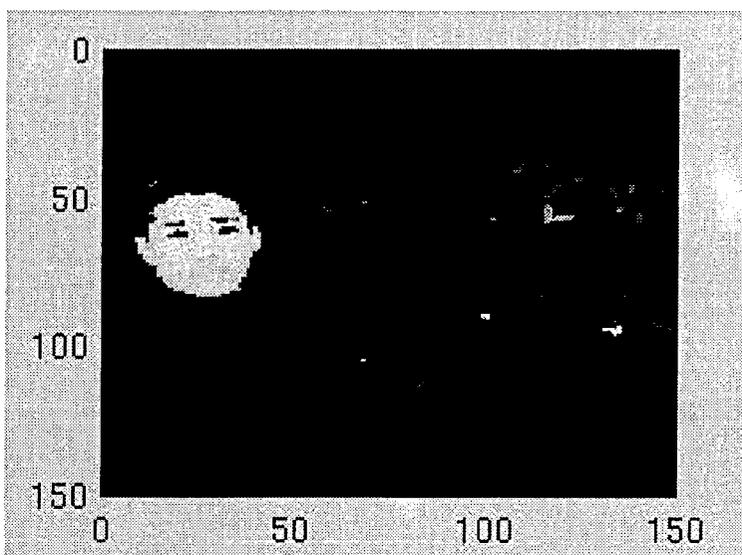


(c)

図 3.4: 領域分割後の画像出力



(a) $N_{\text{prec}} = 4$ の場合

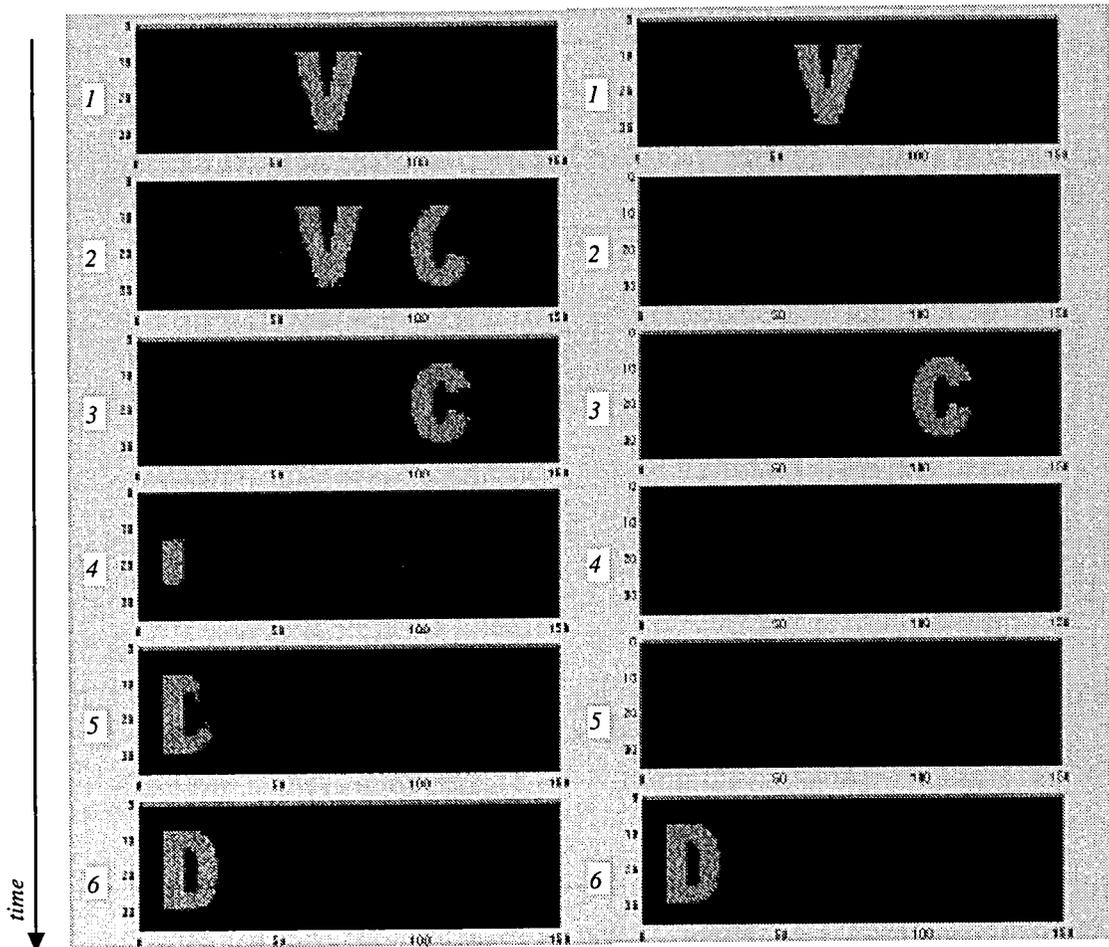


(b) $N_{\text{prec}} = 5$ の場合

図 3.5: ノイズを加えたときの領域分割結果

DEVICE

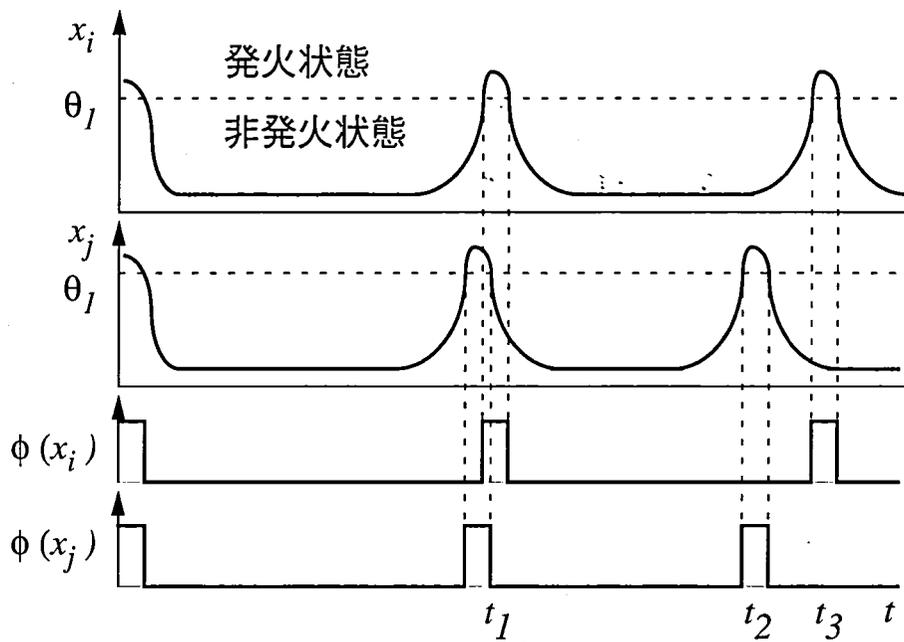
(a) 入力画像



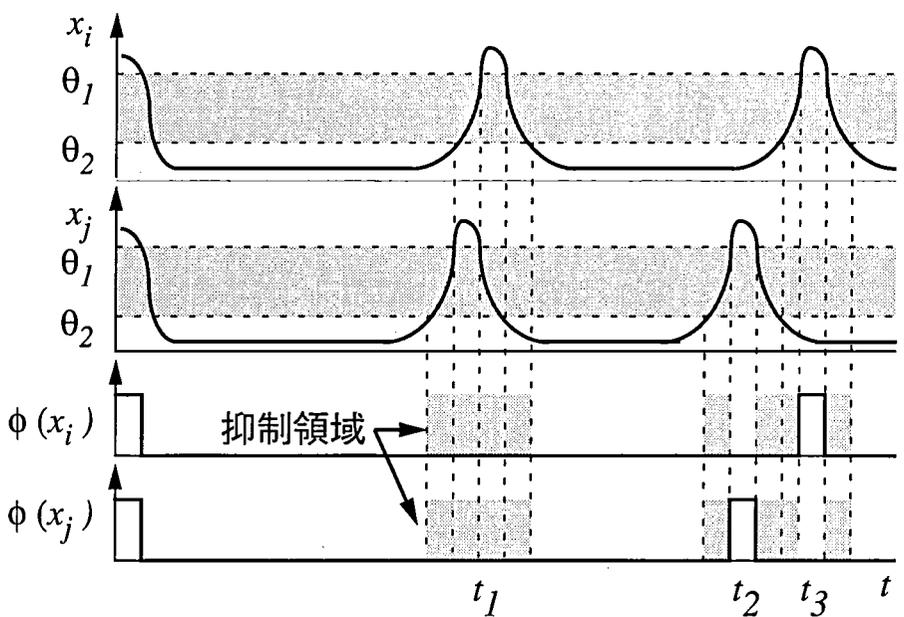
(b) しきい値処理の結果

(c) 2重しきい値処理の結果

図 3.6: 入力画像 (a) と振動子の活動度 $\{\phi(x_i)\}$ のスナップショット (b),(c)



(a) しきい値処理



(b) 2重しきい値処理

図 3.7: 振動状態 $\{x_i\}$ と活動度 $\{\phi(x_i)\}$ との関係

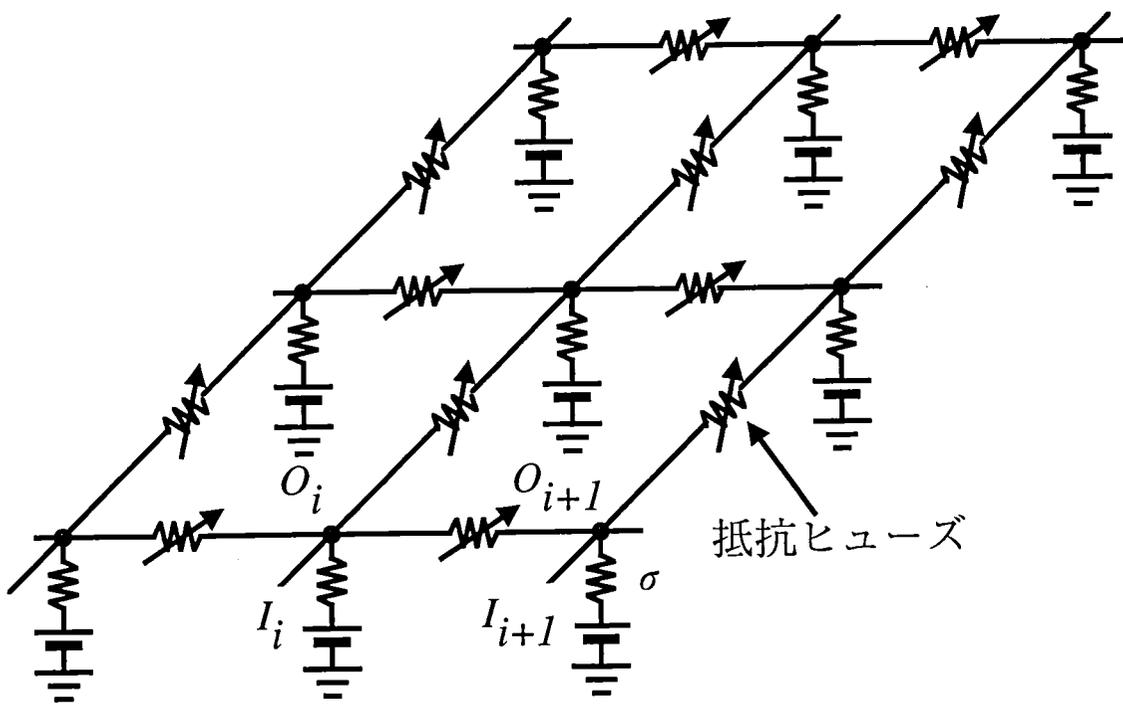


図 3.8: 抵抗ヒューズネットワークモデル

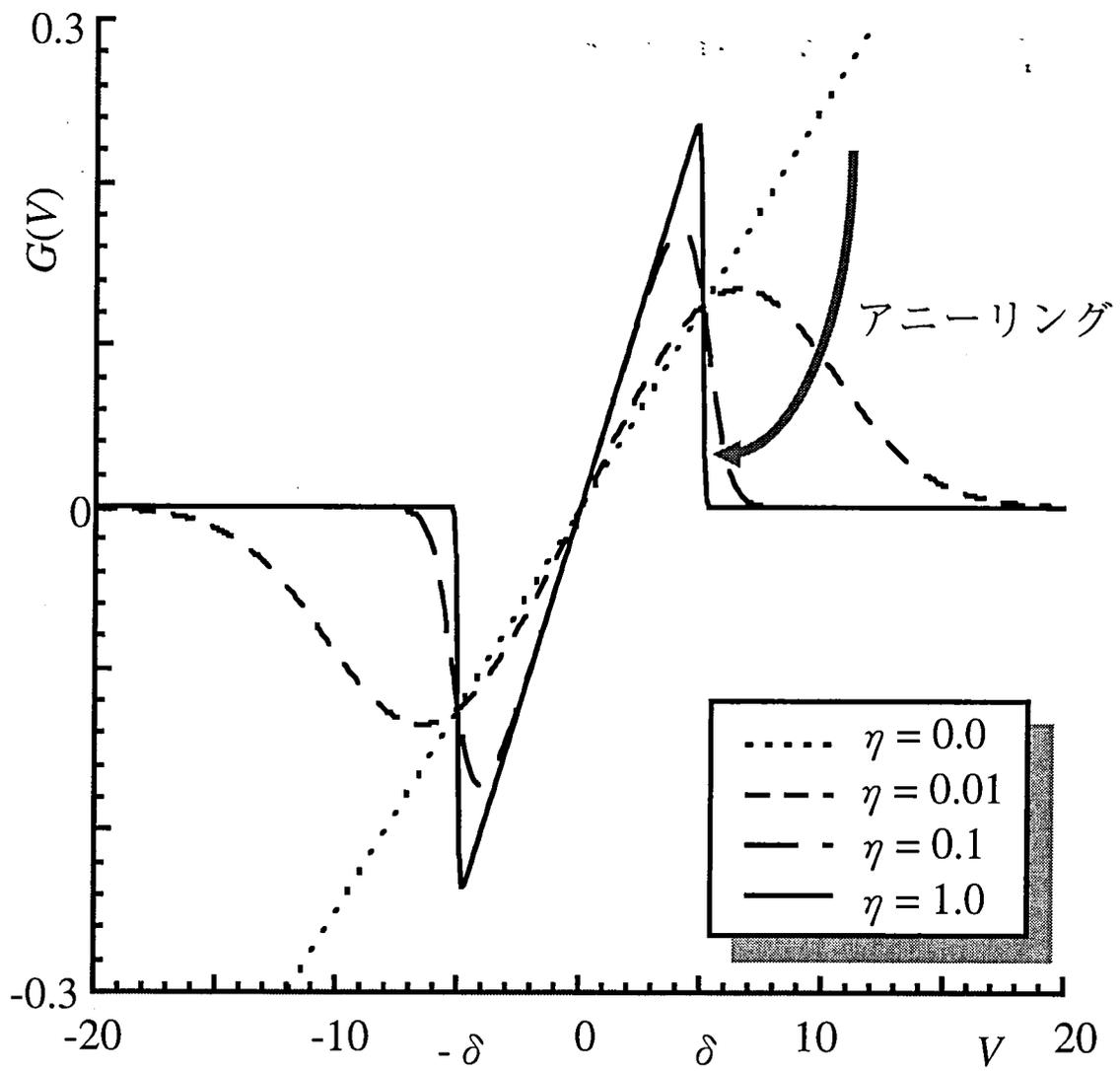
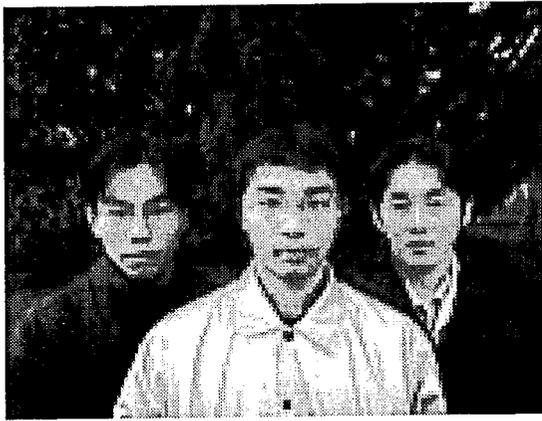


図 3.9: 抵抗ヒューズの電圧-電流特性



(a) 原画像(150×120ピクセル)

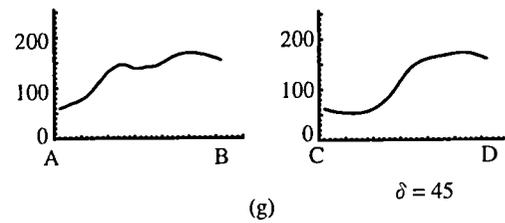
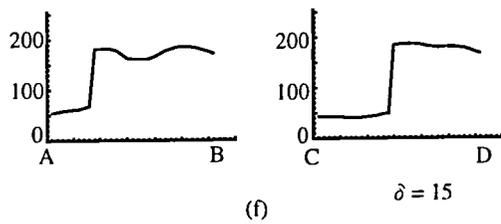
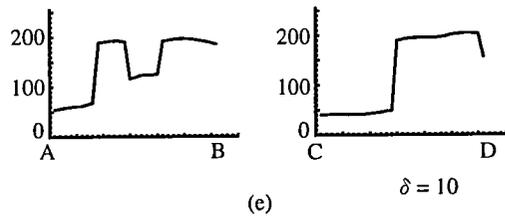
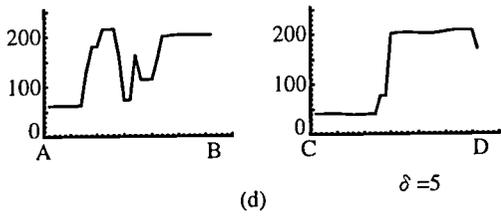
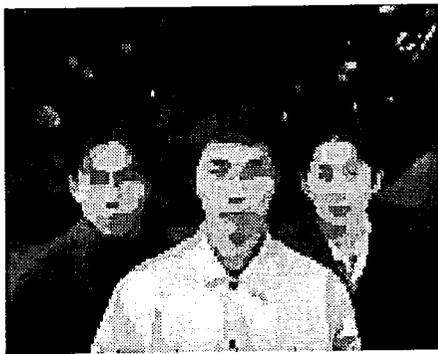
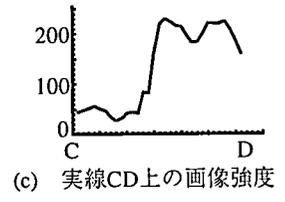
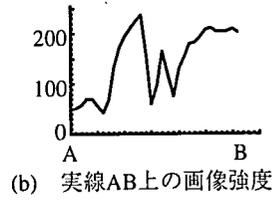
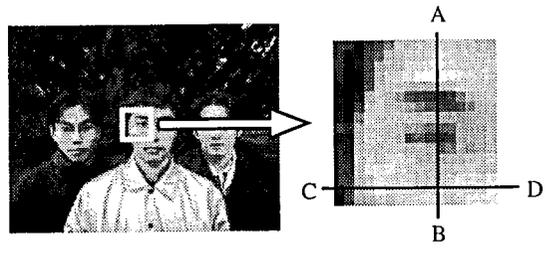
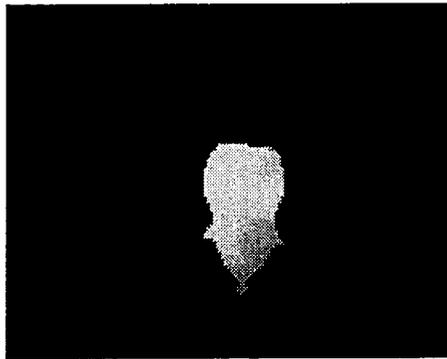


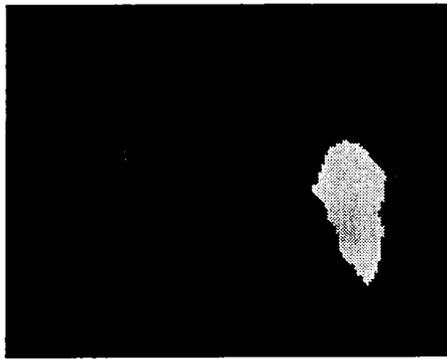
図 3.10: 画像再構成シミュレーション結果



(a)



(b)



(c)



(d)

図 3.11: 画像分割結果:(a) 原画像図 3.10(a) を直接振動子ネットワークに与えた場合, (b)-(d) 抵抗ヒューズネットワークにより前処理を行った画像 (図 3.10(f)) を与えた場合

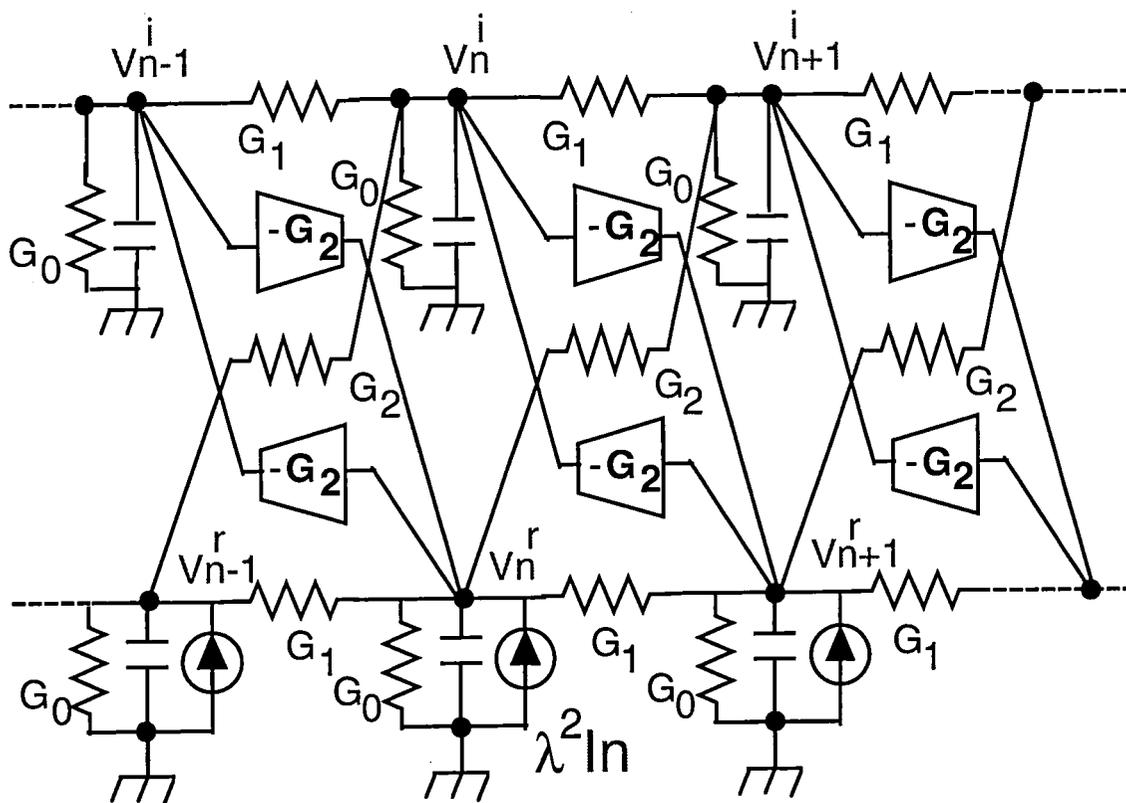


図 3.12: アナログセルラーニューラルネットワーク方式ガボール型ウェーブレット変換回路。 $G_0 = 2 + \lambda^2 - 2 \cos \omega_0 - \sin \omega_0$, $G_1 = \cos \omega_0$, $G_2 = \sin \omega_0$.

第4章 パルス変調方式を用いたアナログ・デジタル融合回路アーキテクチャ

4.1 パルス幅変調 (PWM) 方式の基本原則

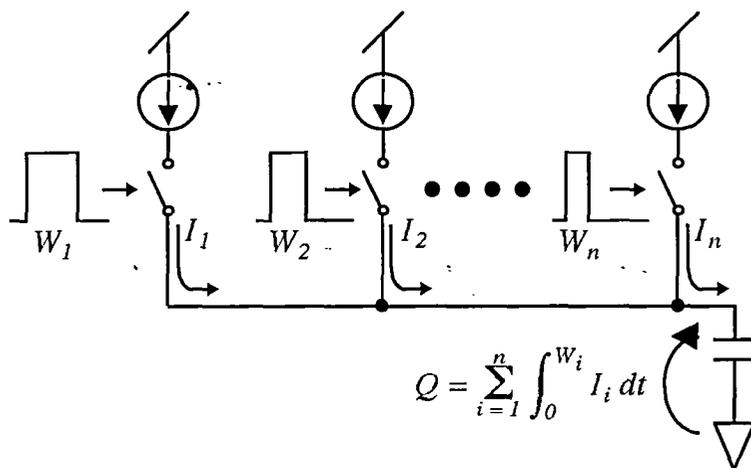
4.1.1 PWM方式の特徴

PWM方式は2値の電圧振幅を有し、パルスの幅でアナログの情報値を表現する[4]。基本的にデジタル回路が使えるので、SiCMOS技術におけるスケーリングのトレンドに従って大規模集積化が可能である。さらに、パルス信号の状態遷移数が1データ当たり1回ですむので、通常のデジタル方式やパルス密度変調(PDM)方式に比べ、低消費電力化が可能である。

我々が提案しているPWM信号回路は離散時間・連続状態のダイナミクスを実行する。これは純粋なアナログ回路で実現される連続時間・連続状態の情報処理とは明らかに異なっているが、離散時間ダイナミクスはよく研究されており、連続時間ダイナミクスと同等な機能を実現できることが多い。さらに、離散時間ダイナミクスは高い制御性が得られ、通常のデジタルシステムとの整合性が良い。以上の点から、我々はPWM信号方式が大規模なダイナミカルシステムの実現に適していると考えられる。

4.1.2 PWM方式による積和演算

PWM方式によるデータ処理の方法を説明する。図4.1に示すように1個の容量にスイッチト電流源(Switched Current Source, SCS)を接続し、PWM信号を入力する。SCSからの電流は容量で積分され、PWMのパルス幅を電荷量に変換する。複数のSCSを接続することにより、PWM信号の加算が行える。また、SCSの電流量を変えることでPWM-電荷量変換の係数を変えることができる。このように、PWM方式では簡単に並列積和演算が行える。また、PWM信号の差分絶対値の演算は排他



積和演算回路

図 4.1: PWM 信号による積和演算回路

的論理和 (XOR) ゲートを用いて実現できる (図 4.2)。

電荷量 (電圧) から PWM 信号への変換には比較器 (コンパレータ) と参照電流源もしくはランプ型参照電源を用いる (図 4.3)。比較器が反転するまでの時間が PWM のパルス幅に対応する。

4.1.3 PWM 方式による任意非線形ダイナミクス回路

任意の非線形ダイナミクスを実行する回路例を図 4.4 に示す。PWM 信号のパルス幅は比較器への入力電圧とランプ電圧によって決定される。ここで、ランプ電圧を任意の時間の関数 $V_{ramp} = f(t)$ とする。このとき PWM 信号のパルス幅 T_{out} は入力電圧 V_{in} を変数とする f の逆関数 $T_{out} = f^{-1}(V_{in})$ として与えられる。生成された PWM 信号で電流源をスイッチすると、流れる電流量が微小であるとき、容量 C には微小電圧 $\Delta V_{out} = f^{-1}(V_{in}) \Delta I / C$ が蓄えられる。出力電圧を入力電圧にフィードバックさせると、この回路は対応する微分方程式を近似する離散時間ダイナミクスを実行することができる。ただし、ランプ電圧は比較器の動作原理上単調関数でなくてはならないため、非単調関数を発生するには複数の比較器を用いる必要がある [5]。

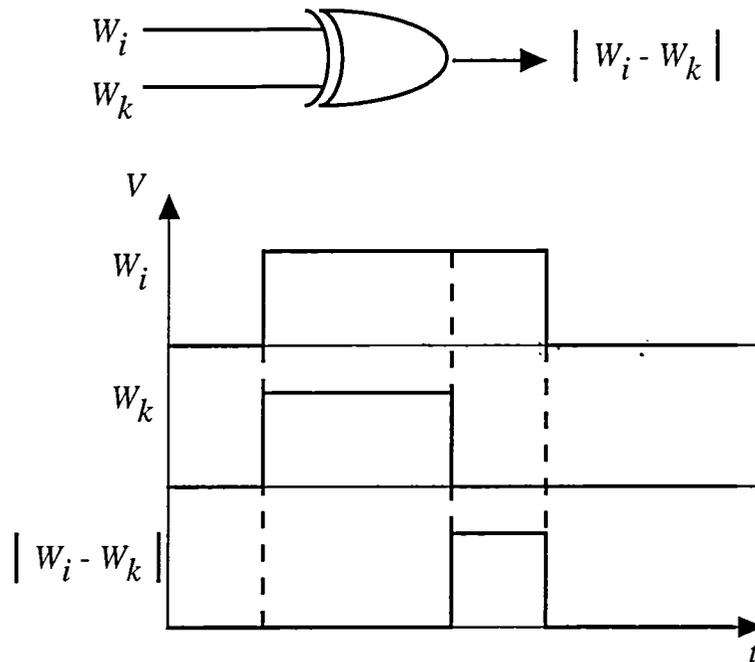


図 4.2: PWM 信号による差分絶対値演算回路

4.2 パルス位相変調 (PPM) 方式

4.2.1 PPM 方式の特徴

PWM 信号がパルス幅に情報を有しているのに対し、PPM 信号はある時間の基準点からパルスが立ち上がるまでの時間に情報を有している。PPM 方式の回路も PWM 方式同様、前節で述べたような特徴を有している。しかしながら、PWM 信号はそれ自身に情報のすべてが含まれているのに対し、PPM 信号は位相に情報が含まれているため、その位相を計算するための基準点を決定する参照信号が必要となる。そのため、PWM 信号はデータ転送などで効果的であり、PPM 信号は局所的な回路で使用する方が効果的である。

4.2.2 PWM/PPM 方式による任意非線形ダイナミクスの実現

PWM/PPM 方式を用いた任意非線形ダイナミクス回路を図 4.6 に示す。入力電圧は比較器を通してパルス幅 T を持つ PWM 信号に線形的に変換され、その後 Δt の微小幅を持つ PPM 信号に変換される。この PPM 信号は任意の非線形 (非単調) 時間波形 $f(t)$ を有する電流源をスイッチし、直列に接続された容量 C には

$$\Delta Q = f(T)\Delta t, \quad (4.1)$$

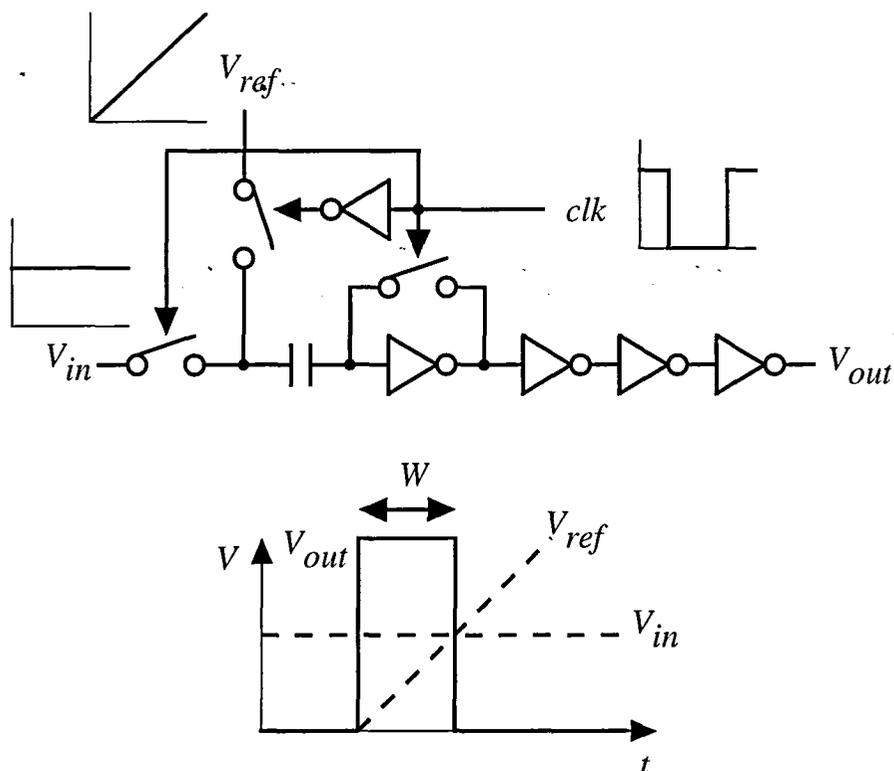


図 4.3: 電圧-PWM 変換回路

の電荷が蓄えられる。その結果、容量の端子電圧の変化量 ΔV_{out} は

$$\Delta V_{out} = f(T)\Delta t/C, \quad (4.2)$$

となる。したがって、非線形電流源の特性を変化させるだけで、電圧に関する任意非線形差分方程式が実行できる。このとき、非線形電流源の特性は、回路の外部から任意波形発生器などを持ちいて直接与えることができる。

また、時刻 t での出力電圧 V_t を入力電圧にフィードバックさせたとき、時刻 $t+1$ での出力電圧 V_{t+1} は

$$\therefore V_{t+1} = V_t + f(T_t)\Delta t/C, \quad (4.3)$$

となる。したがって、

$$\frac{V_{t+1} - V_t}{\Delta t} = f(T_t)/C, \quad (4.4)$$

となる。電圧の変化量が微小であるとき、この回路は対応する微分方程式を近似する離散時間ダイナミクスを実行している。また、この方式では出力として電圧と PWM/PPM 信号を同時に得ることができる。

4.2.3 PPM 方式による任意非線形ダイナミクス回路の利点

このように、PPM 方式を用いると、任意の非線形ダイナミクスの実行に 1 個の比較器と 1 個の参照電流源のみを必要とし、前節で述べたような複数の比較器と逆関数の参照電圧を必要としない。それゆえ、PWM 方式のみによる任意非線形ダイナミクス回路と比べ、低消費電力動作が可能となり、また回路構成も簡単化できる。また、簡単化された回路は高い演算精度を達成することもできる。

以上の方法が有用なのは、任意のアナログ入出力関数を作り出すのが難しいのに対し、時間の関数としての電圧(電流)波形 $f(t)$ を作り出すのが容易なことによる。それは、さまざまなアナログ発振回路で作리出すこともできるし、デジタル回路でルックアップテーブル法や関数生成法によりデジタル波形を作り出し、それを D/A 変換器によりアナログ波形にすることも実現できる。このデジタル方式の場合、任意の非線形波形を高い精度で生成でき、リアルタイムで波形を変更することもできる。これは非線形ダイナミクスを任意にリアルタイムで変更出来ることを意味する。デジタル波形をローパスフィルタで平滑化すれば、デジタル波形がかなり低ビット精度であっても、量子化の影響を受けずに、アナログ演算を行うことができる。現在では 100MHz 以上で動作する D/A 変換器も実現可能なので、6ビット以上の時間分解能で 1MHz 以上で動作する任意非線形変換回路を構成することができる。アナログ波形生成器は多くの PWM 回路で共通に用いることができるので、システム全体に対する波形生成のオーバーヘッドはわずかなものにできる。したがって、この方式は大規模な並列動作型非線形変換回路の実現に適した方法である。

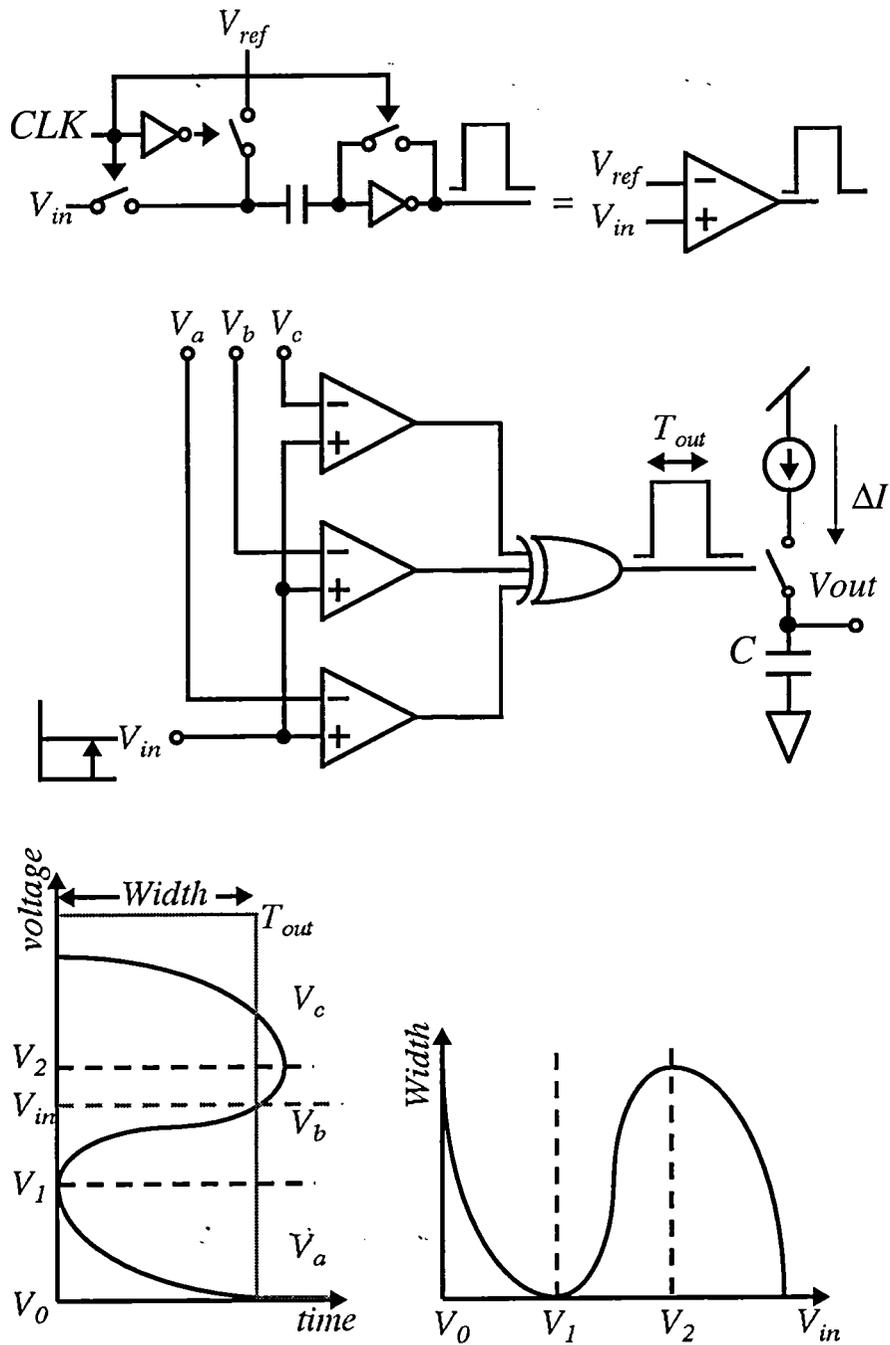


図 4.4: PWM 方式による任意非線形ダイナミクス回路

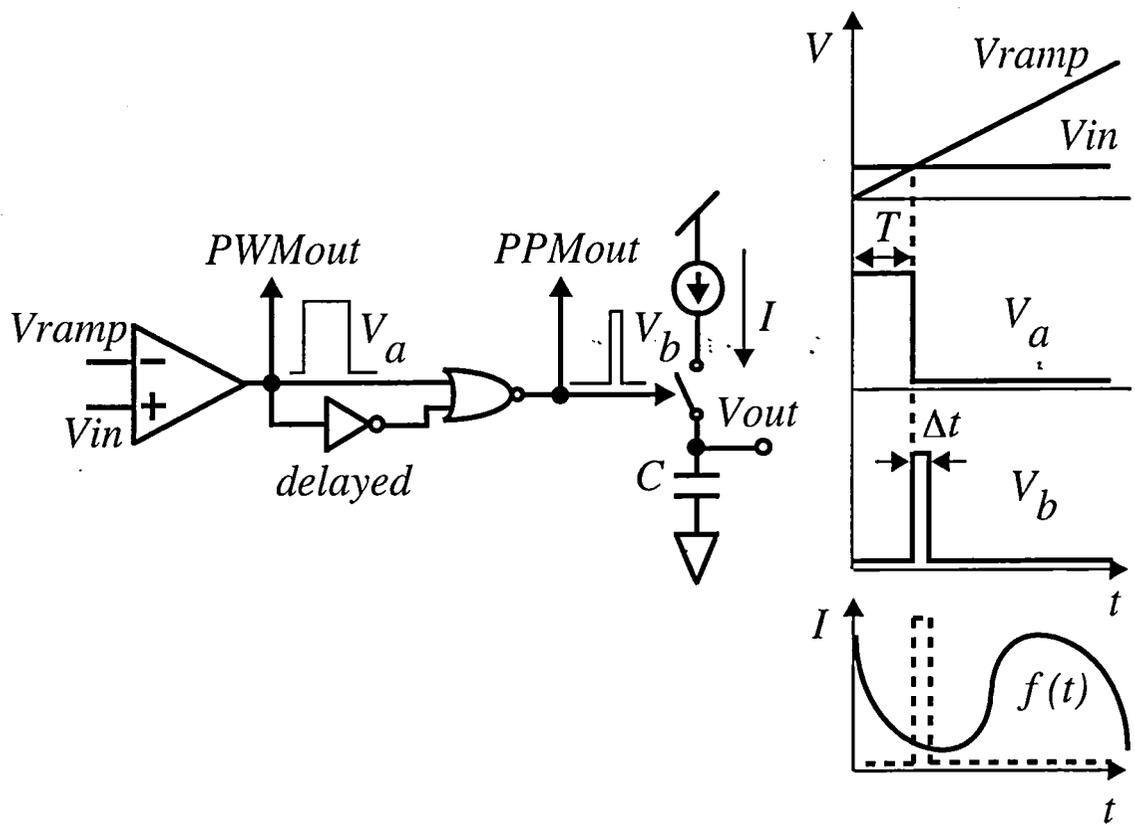


図 4.5: PWM 方式による任意非線形ダイナミクス回路

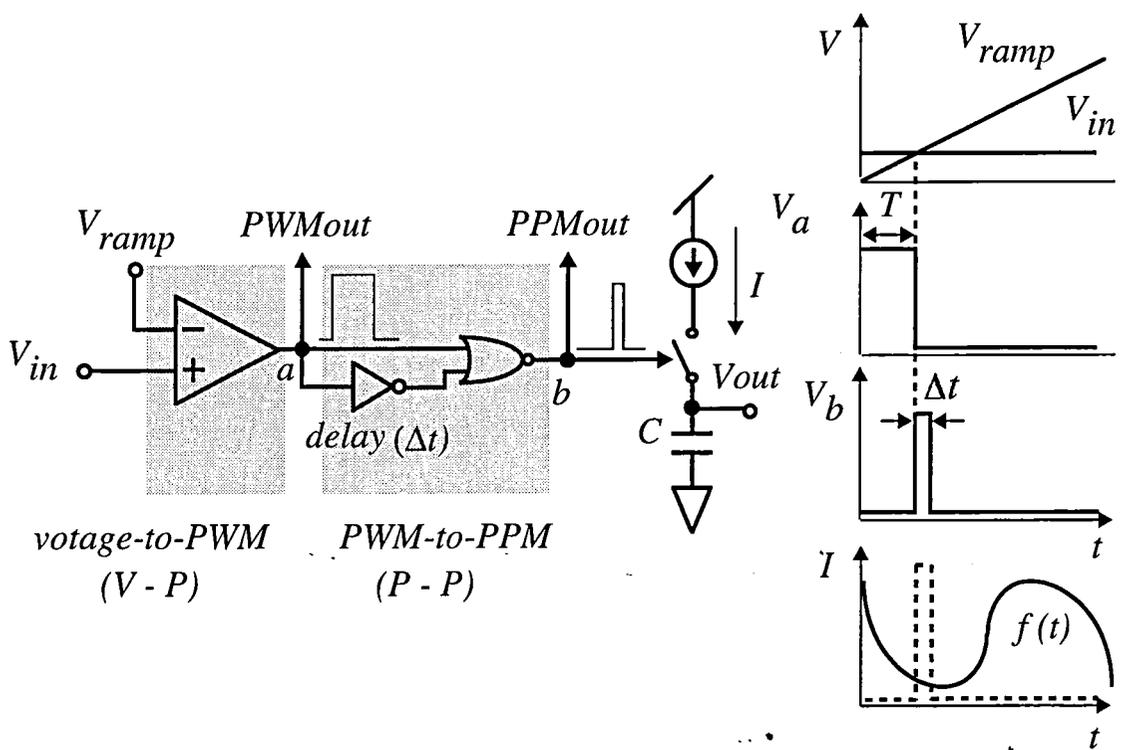


図 4.6: PWM/PPM 方式による任意非線形ダイナミクス回路

第5章 パルス変調方式による画像処理回路

5.1 振動子ネットワーク回路

5.1.1 PWM方式による振動子回路

3.1節で述べた非線形振動子をPWM方式を用いて回路化した。回路ブロック図を図5.1に示す。この回路は式(3.13), (3.14)に示された非線形ダイナミクスを実行する。 x_i , y_i はそれぞれ容量 C_x , C_y の端子電圧 V_x , V_y で表現される。式(3.13)における x の3次関数は図4.4に示した回路で実現できる。式(3.14)の \tanh 関数は単調関数なので1個の比較器を用いて実現できる。

振動子単体での回路動作について説明する。振動子単体では振動を決定する S_i や CP_i が存在しないため、これらを振動するときの条件($S_i > 0$, $CP_i > 0$)とした。まず、時刻 t での電圧 V_x を3次関数発生回路を用いて非線形変換し、生成されたPWM信号でSCSをスイッチすれば C_x には式(3.13)中の $-(x_i(t) - 1.2)^2(x_i(t) - 4.2) + \rho + \alpha H(CP_i) + H_2(S_i)$ に微小変化量 Δt を掛けたものに相当する電荷が蓄えられる。 C_y にも同様に式(3.14)中の $\varepsilon[\gamma(1 + \tanh(x_i(t)/\beta) - \delta)]$ に微小変化量 Δt を掛けたものに相当する電荷が蓄えられる。また、1次関数発生回路で V_y をPWM信号に変換し、 C_x , C_y からそれぞれ式(3.13), (3.14)右辺中の $y_i(t)$ に微小変化量 Δt を掛けたものに相当する電荷を引き抜く。その結果 C_x と C_y にはそれぞれ微小時間 Δt での x と y の微小量変化が蓄えられる。これを繰り返せばオイラー法により微分方程式が解ける。

この振動子回路の回路シミュレーション(HSPICE)結果を図5.2に示す。0.4 μm CMOSプロセスパラメータを用い、電源電圧(V_{dd})は3.3V、図4.4におけるクロック周期は800nsecとした。比較器の参照電圧はすべてpwl電源記述による任意波形を用いた。また、容量 C_x , C_y の端子電圧は理想素子を用いてフィードバックさせた。図5.2より、振動子の振動現象が回路上で再現されていることがわかる。

しかし、図5.1において、容量 C_x , C_y にはPMOSがそれぞれ3段直列に接続さ

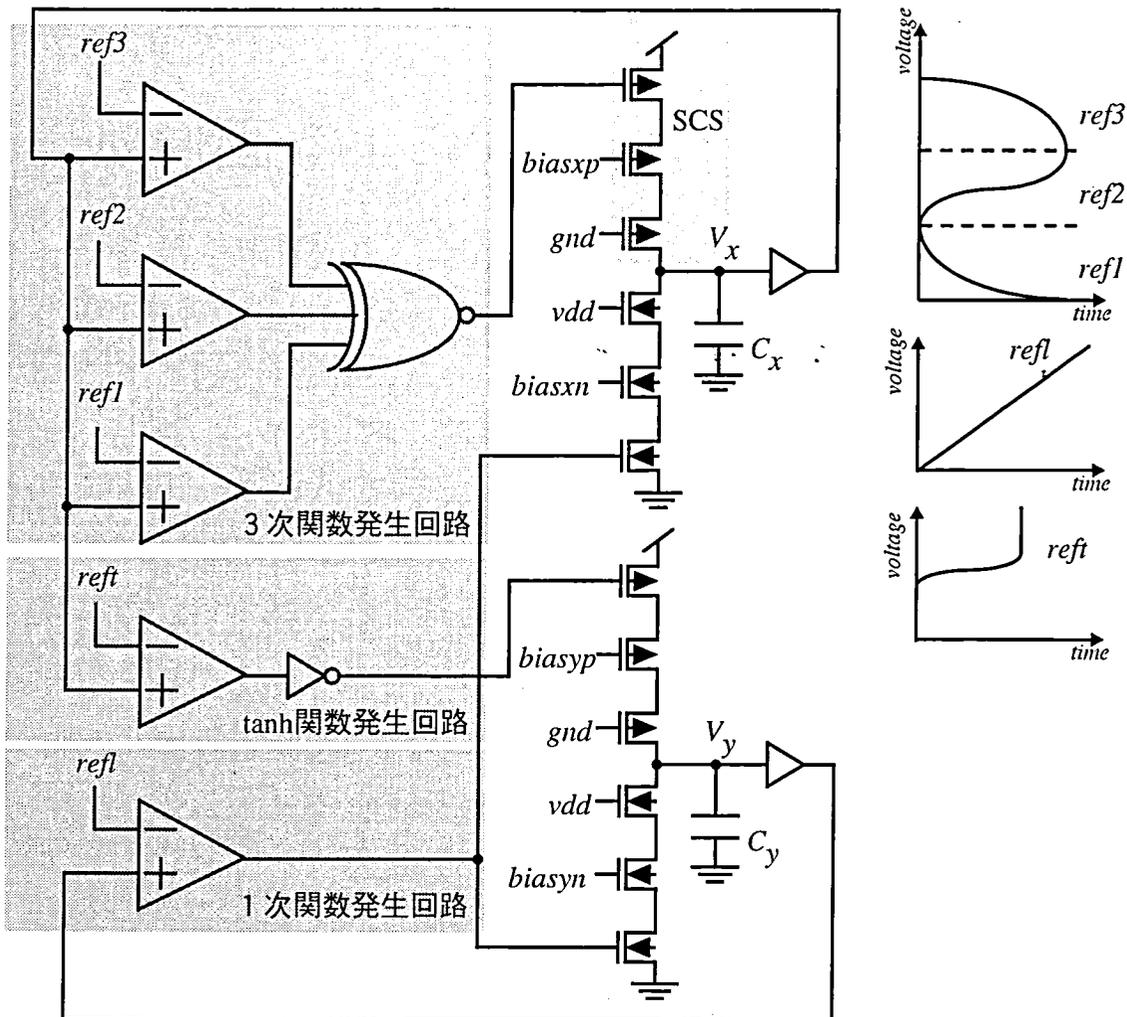


図 5.1: PWM 方式による振動子回路

れているため、容量の端子電圧は PMOS 3 段分のしきい値を電源電圧から差し引いた電圧 $V_{dd} - 3V_{pth}$ までしか上がらない。そのうえ、端子電圧が $V_{dd} - 3V_{pth}$ に近くなると、PMOS の定電流性が悪くなり、精度が低下する。さらに、この回路では演算精度を高めるために容量値が 5pF と非常に大きい。これは、LSI 化したときに MOS トランジスタに比べ非常に大きな面積を必要とする。振動子ネットワークのような画素並列処理回路の場合、1 セル当りの回路面積が大きいと処理できる画素数が少なくなってしまう、ネットワークの性能を低くしてしまう。したがって、なるべく小さな容量を用いて要求される演算精度を達成する必要がある。

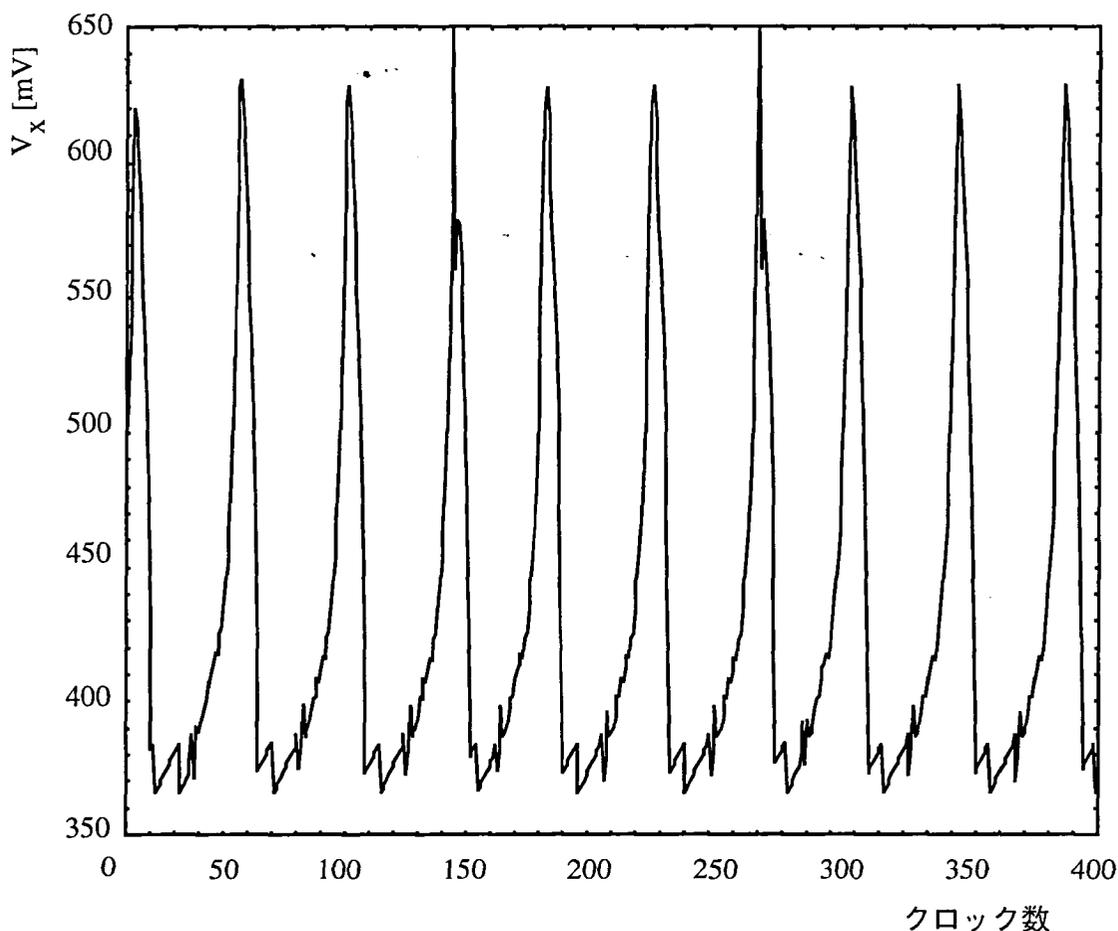


図 5.2: PWM 方式による振動子回路のシミュレーション結果

5.1.2 PWM/PPM 方式による振動子回路

PWM/PPM 方式を用いた非線形振動子回路を考案した。回路ブロック図を図 5.3 に示す。この回路は図 5.1 と同様、式 (3.13), (3.14) に示された非線形ダイナミクスを実行する。変数 x_i , y_i はそれぞれ電圧 V_{xi} , V_{yi} で表現され、容量 C_{xi} , C_{yi} に蓄えられる。 x の 3 次関数と \tanh 関数は 4.2.2 節で述べた非線形ダイナミクス回路を用いて再現できる。この回路では、時刻 t における電圧によって生成された PPM 信号が非線形電流源をスイッチし、式 (3.13), (3.14) における微少量変化に対応する微少電荷を容量に充放電する。この動作を繰り返すことで非線形ダイナミクスを解くことができる。

この PWM/PPM 方式による振動子回路の HSPICE による回路シミュレーションを行った。PWM 方式のときと同様、 S_i , CP_i は正の値をとるものと仮定した。使用したパラメータも $0.4\mu\text{mCMOS}$ プロセス、電源電圧は 3.3V である。また、クロック周

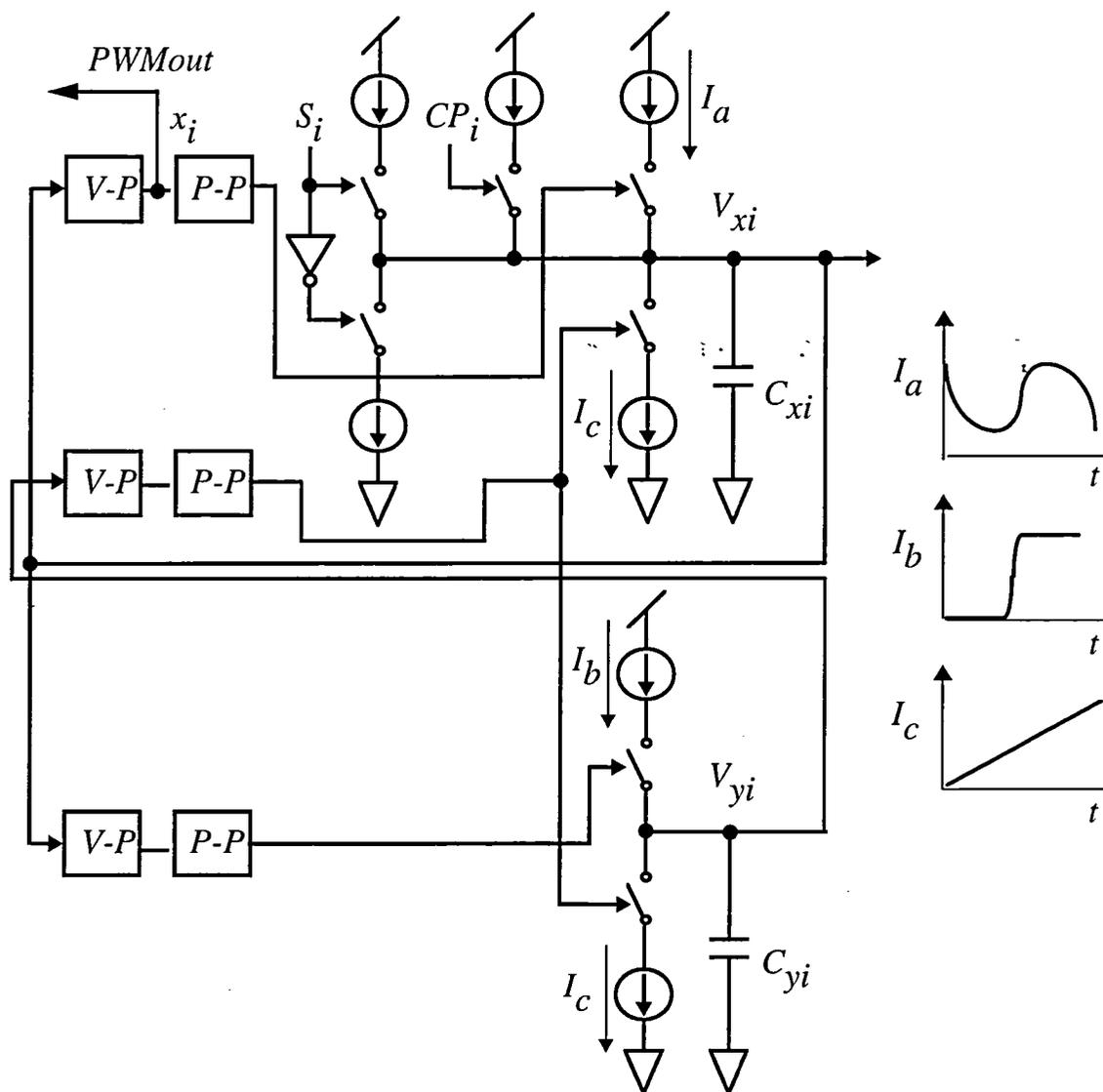


図 5.3: PWM/PPM 方式による振動子回路

期は $1\mu\text{sec}$ とした。比較器の参照電圧も同様にすべて pwl 電源記述による任意波形を用い、容量 C_{xi} 、 C_{yi} の端子電圧は理想素子を用いてフィードバックさせた。結果を図 5.4 に示す。この図からわかるように、PWM/PPM 方式による振動子回路も期待された結果が得られている。また、この回路は PWM 方式による振動子回路に比べ、比較器が 3 個あればよく、低消費電力化が可能であり、回路面積をより小さくできる。また、容量 C_{xi} 、 C_{yi} は 0.8pF と非常に小さくできた。

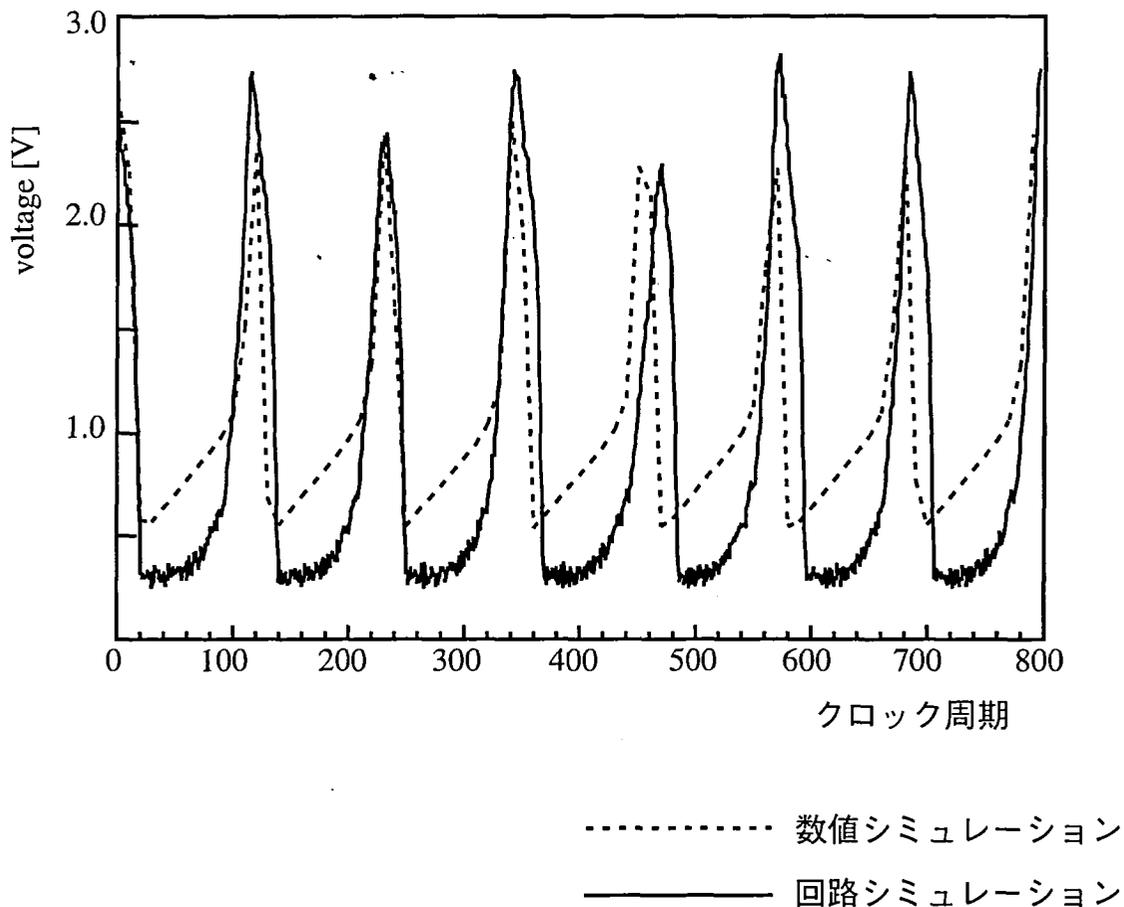


図 5.4: PWM/PPM 方式による振動子回路のシミュレーション結果

5.1.3 画像分割のための2重しきい値処理回路

3.1.5 節で述べた2重しきい値処理を実行する回路を図 5.5 に示す。しきい値処理 $H(x_i - \theta_1)$ と $H(x_i - \theta_2)$ を比較器 $comp_{i1}$ と $comp_{i2}$ によりそれぞれ実行する。XOR 論理ゲートの出力 V_i は $\theta_2 < V_{xi} < \theta_1$ が成り立つときのみ “High” になる。このプロセスを全ての振動子について同時に行う。したがって、少なくとも1個の振動子において、 $\theta_2 < V_{xi} < \theta_1$ が成り立つとき、NORゲートの出力 V_{out} は “Low” となる。 V_{out} が “Low” のとき、全ての振動子の活動度 $\{\phi(V_{xi})\}$ を強制的に0にする。NORゲートの出力が “High” のときは $\{\phi(V_{xi})\}$ がそのまま出力される。こうして、2重しきい値処理を実現できる。

この回路では、結合荷重回路で使用される比較器を、2重しきい値処理の比較器として利用可能である。また、全振動子とグローバルユニットとの結合に使用される配線を、2重しきい値処理の配線として兼用することができる。したがって、2重

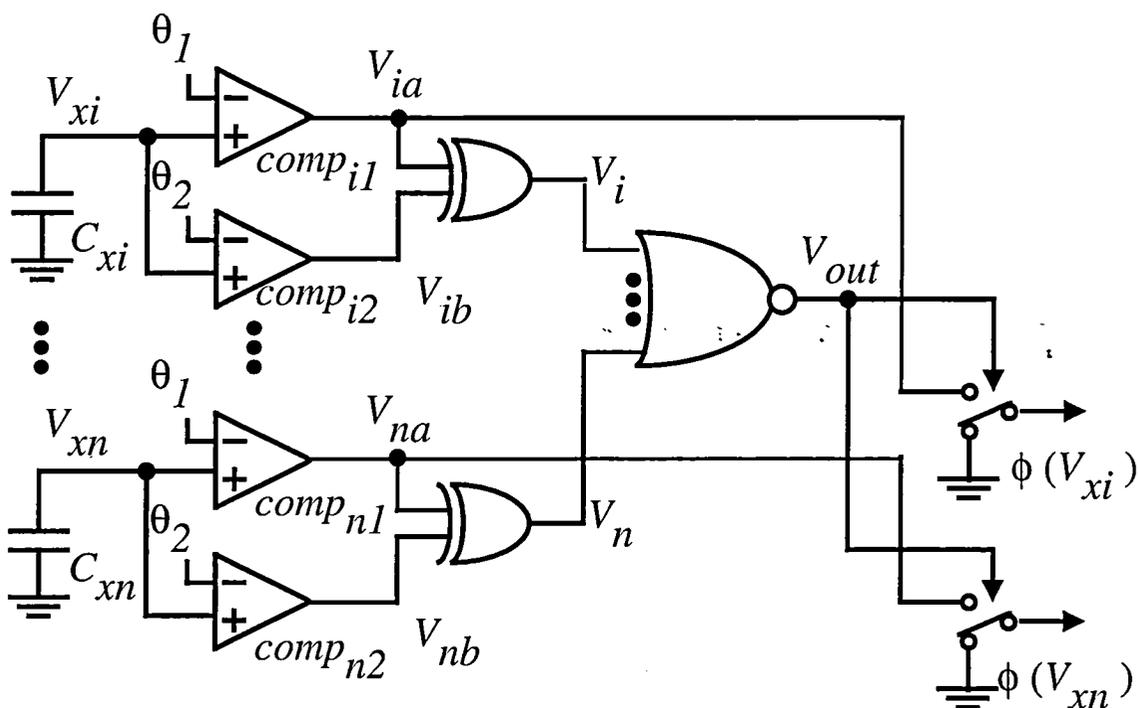


図 5.5: 画像分割処理のための 2 重しきい値処理回路

しきい値処理のために必要となる付加回路は非常に少なく，オリジナルのモデルを回路化した場合と比べて，1 ピクセルの回路面積もほとんど増加しない。

5.2 抵抗ヒューズ・振動子ネットワーク回路

前節までで述べた振動子ネットワーク回路構成 [11] を利用し，抵抗ヒューズと振動子両者の機能を実現する回路構成を提案する (図 5.6)。この回路は抵抗ヒューズ・結合荷重演算・非線形振動子の 3 つのモードを持つ。モードの切り替えは図 5.6 のセレクト信号 SEL1 で実行され，SEL1 が “Low” で抵抗ヒューズモード，“High” で結合荷重演算・振動子モードである。

5.2.1 抵抗ヒューズ処理

抵抗ヒューズ処理は式 (3.18) を回路上で逐次的に解くことで実行する。式 (3.19) における変数 O_i ， I_i はそれぞれ容量 C_{xi} ， C_{yi} の端子電圧 V_{xi} ， V_{yi} で表される。電圧 V_{xi} は比較器 $comp_{i1}$ により PWM 信号の幅 T_i に線形変換される。 O_i と隣接画素の出力値 O_k との絶対値差分 $|O_i - O_k|$ は XOR 論理ゲートを用いて実現でき，その

情報は PWM 信号の幅 T_{ik0} に変換される。ここで、図 5.6(a) のセレクト信号 SEL2 が “Low” の時 $|O_i - I_i|$ 、 “High” の時 $|O_i - O_k|$ が実行される。また、符号回路により差分の符号情報を求める。パルス変調方式による任意非線形変換はパルス変調信号と参照信号電圧が同期している必要があるため、生成された PWM 信号 T_{ik0} は電圧 V_a に線形変換され、比較器 $comp_{i2}$ を用いて PWM 信号の幅 $T_{ik}(=T_{ik0})$ に再変換し、位相をシフトしている。PWM 信号 T_{ik} と参照信号電圧 $V_G(t)$ により、容量 C_1 の端子電圧 V_b は $V_b = V_G(T_{ik})$ となる。 V_b は比較器 $comp_{i3}$ により PWM 信号の幅 $G(T_{ik}) = G(|O_i - O_k|)$ に変換され、すでに求めた符号情報との論理積をとる。この結果、容量 C_{xi} には式 (3.18) の右辺第 2 項に相当する電荷が蓄えられる。

5.2.2 結合荷重演算

このモード以降、SEL1 を “High” に設定する。式 (3.10) で表される結合荷重において、抵抗ヒューズ処理により画像強度は $I_i = O_i$ 、 $I_k = O_k$ となる。ここで、上述した抵抗ヒューズ処理後の結果から、 $O_i = V_{xi}$ である。電圧 V_{xi} は比較器 $comp_{i1}$ によりパルス幅 T_i を持つ PWM 信号に線形変換され、XOR 論理ゲートにより $T_{ik0} = |O_i - O_k|$ が求まる。生成されたパルスは電圧 V_a に変換され、 V_a は比較器 $comp_{i2}$ により時間軸上で変化する参照信号電圧 $V_{refb}(=1/t-1)$ と比較される。その結果、比較器の出力パルス幅 T_{ik} は $V_{refb}(T_{ik}) = 1/T_{ik} - 1 = V_a$ の関係式により求められる。ここで、 V_a は $|O_i - O_k|$ に相当する電圧であるため、 $T_{ik} = f^{-1}(V_a) = 1/(1 + |O_i - O_k|)$ となり、式 (3.10) で表される W_{ik} が得られる。8 隣接に対する結果は容量 $C_k(k = 1, \dots, 8)$ にそれぞれ蓄えられる。

5.2.3 非線形振動子

非線形振動子の変数 x_i 、 y_i の値は容量 C_{xi} 、 C_{yi} の端子電圧 V_{xi} 、 V_{yi} でそれぞれ表現される。式 (3.8)、(3.9) における x_i の 3 次関数と \tanh 関数は図 4.5 における任意非線形変換回路及び非線形電流源を用いて実現する。PPM 信号で電流源をスイッチし、式 (3.8)、(3.9) を差分化したときの x_i 、 y_i の微小変化量に対応する微小電荷を容量 C_{xi} 、 C_{yi} からそれぞれ充放電する。

式 (3.8)、(3.4)、(3.12) で使用されているしきい値関数は比較器を用いて簡単に実現できる。図 5.6 に示すように、積和演算はスイッチト電流源 (SCS) を用いて簡単に達成できるため、式 (3.10) を除く式 (3.8) から式 (3.11) で必要となる演算は容易に

回路上で実現できる。

このように、我々が提案する抵抗ヒューズ・振動子ネットワーク回路構成は両者の機能を兼ね備えている。したがって、新しい処理に必要な付加回路は図 5.6(a) の網で囲まれた要素のみでよく、1ピクセルの回路面積の増大もわずかである。

5.3 PWMピクセル回路

PWMピクセル回路は画素並列で動作し、隣接画素の情報を用いてPWM方式の(非線形)演算により状態を更新する回路である。この回路により、抵抗ヒューズネットワークやガボール型ウェーブレット変換を行うセルラーニューラルネットワークを実行させることができる。

PWM方式による緩和演算は離散時間ダイナミクスを実行するために、通常のアナログ回路での実現と比べて定常状態に達するのに多くの時間を要するが、極めて高い制御性が得られる。これはアナログのパルス幅を使ってダイナミクスを数値的に解いているからである。

PWMピクセル回路を図 5.7に示す。セル n の入力値(画素の輝度)と出力値をそれぞれ I_n および O_n で表し、キャパシタ C_{In} および C_{On} に蓄積された電荷としてそれぞれ蓄積する。 O_n の初期値と I_n は外部からダウンロードし、 O_n は次のような離散時間ダイナミクスにしたがって更新される。

$$O_n(t+1) - O_n(t) = \sum_{j,k \in N'_n} G_{jk}(O_j - O_k) + F_j(O_j - I_n) \quad (5.1)$$

ここで N'_n はセル n 自身を含む隣接セルを意味する。また、 $G_{jk}(\cdot)$ と $F_j(\cdot)$ は任意の奇関数である。

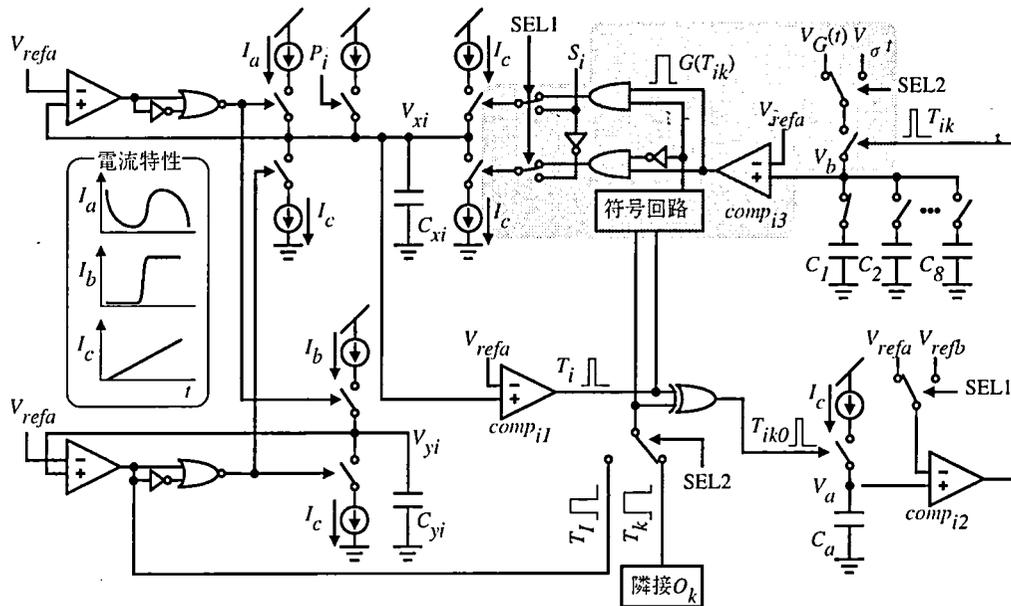
更新プロセスは次のように進行する。

1. セレクタ SEL が計算すべき一対の信号の組を選択する。これは式 (5.1) の右辺の一つの項を表す。
2. 選ばれた一対の信号(例えば、 $O_n - O_k$ または $O_n - I_n$) の差の絶対値と符号が DIF で計算される。この絶対値と符号ビットはそれぞれキャパシタ C_1 とフリップフロップ (RS-FF) に保持される。符号ビット S は O_n を正側または負側のどちらに更新するかを決定する。
3. キャパシタ C_1 に保持された電圧は PWM パルスに変換され、その PWM パルス

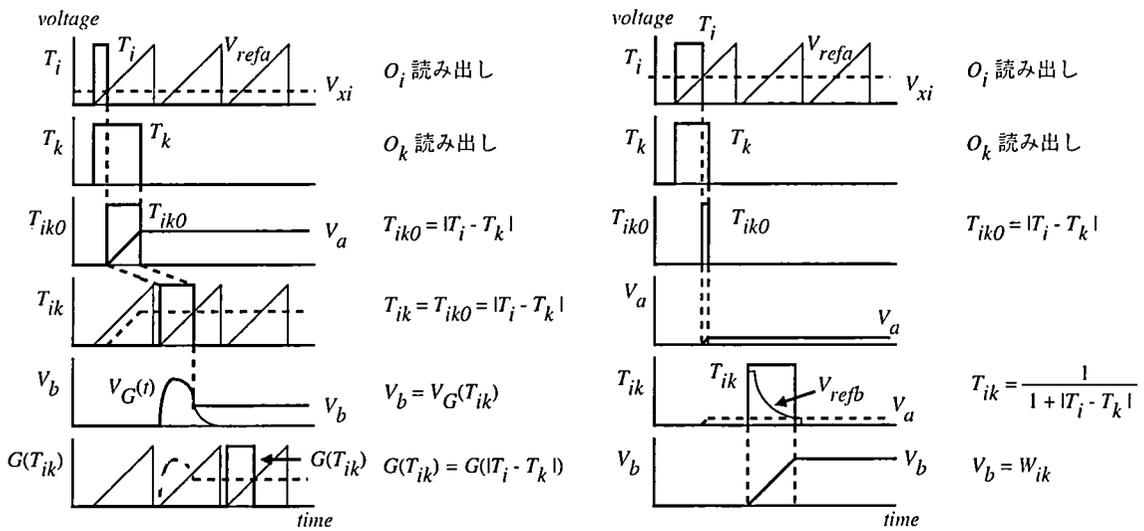
は電圧源 V_{non} をスイッチングする。 V_{non} の電圧波形は対応する（非線形）関数 $G_{jk}(\cdot)$ または $F_j(\cdot)$ と同形である。その結果、キャパシタ C_2 は式 (5.1) の対応する項の値を保持する。

4. キャパシタ C_2 に保持された電圧は再び PWM パルスに変換され、電流源 I_+ または I_- をスイッチングする。その結果、出力 O_n が対応する項の分だけ更新される。
5. 上記のプロセスを繰り返すことで、 O_n は各項分だけ更新される。

以上のシーケンスを繰り返すことで、抵抗ヒューズやセルラーニューラルネットワークのダイナミクスを実現することができる。



(a) 回路構成



(b) 抵抗ヒューズ処理タイミングチャート

(c) 結合荷重計算タイミングチャート

図 5.6: 抵抗ヒューズと振動子の機能を実現する回路構成

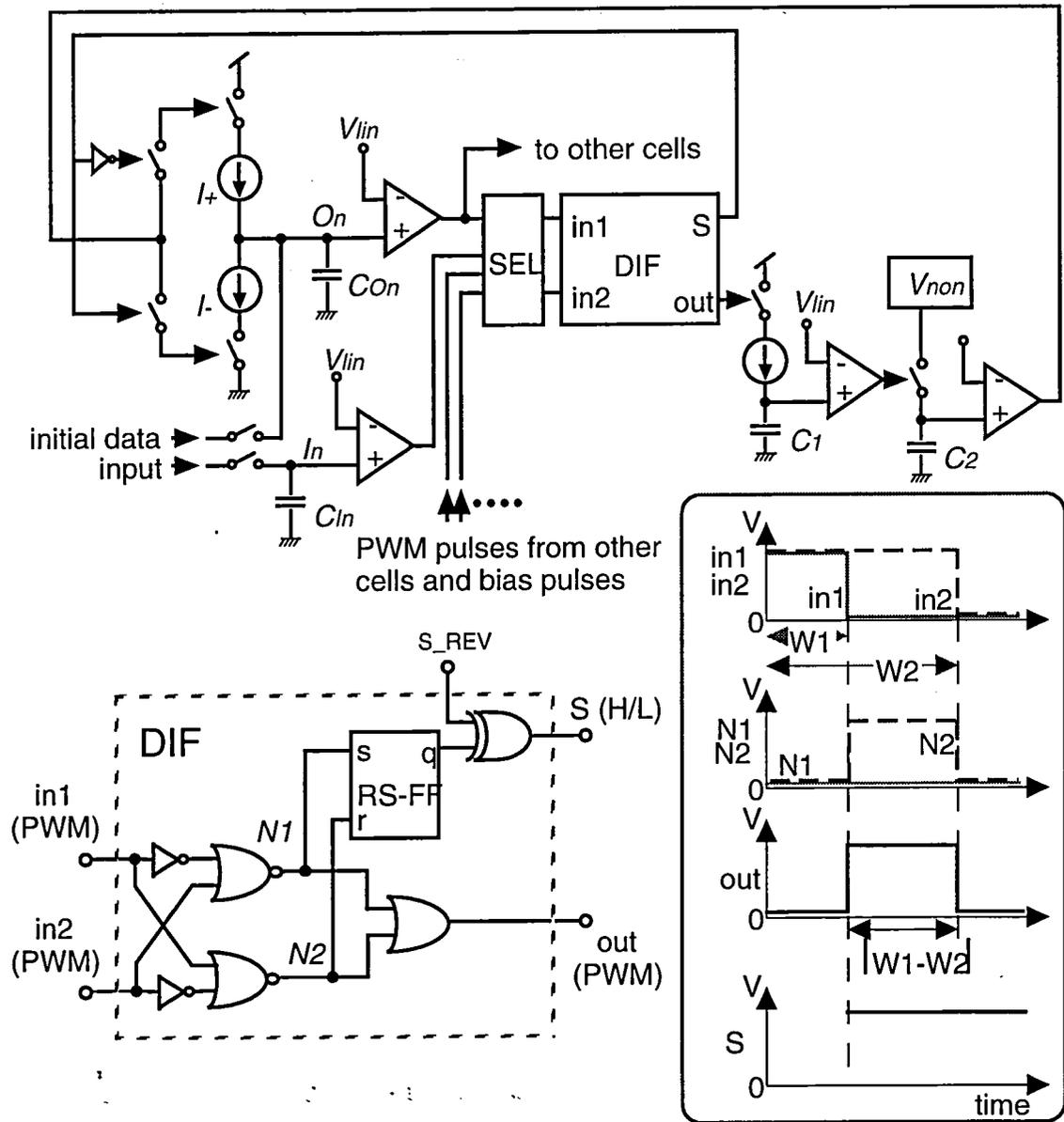


図 5.7: PWM ピクセル回路

第6章 パルス変調方式による画像処理 チップの設計・試作・評価

6.1 振動子ネットワークチップの設計・試作・評価

VDECの試作サービス(ROHM)を利用して、 $0.6\mu\text{m}$ CMOSプロセスで振動子ネットワークの回路設計・試作を行った。電源電圧は5Vである。この回路は主に振動子回路、荷重係数演算回路、グローバルユニット回路、結合入力演算回路で構成される。本節ではこれらの回路について説明し、振動子ネットワーク全体の回路設計について説明する。

6.1.1 振動子回路

振動子回路は5.1.2節で述べたPWM/PPM方式による回路を採用した。理由は、少数の比較器で構成でき、消費電力、回路面積の点で有利であること、また非線形電流源の特性は外部から任意非線形波形発生器を用いて制御できることによる。

図5.3の回路を $0.6\mu\text{m}$ CMOSプロセス、電源電圧5Vで再設計した。回路面積を可能な限り小さくすることを念頭において、比較器に含まれている容量値は 0.15pF 、図5.3における容量 C_{xi} 、 C_{yi} の値は 0.2pF とした。回路シミュレーション結果を図6.1に示す。この図から明らかなように、パラメータが変わっても同様の特性が得られることが分かる。

6.1.2 荷重係数演算回路

拡張LEGIONモデルにおける荷重係数 W_{ik} を求めるためには、式(3.5)における絶対値差分と除算を実行する必要がある。ここで、PWM方式を用いれば絶対値差分はXOR論理ゲートを用いて簡単に回路上で実行することができる(図4.2)。荷重係数演算回路のブロック図及びタイミングチャート図を図6.2に示す。

この回路の動作を説明する。今回の設計では、画像入力データはPWM信号で外部

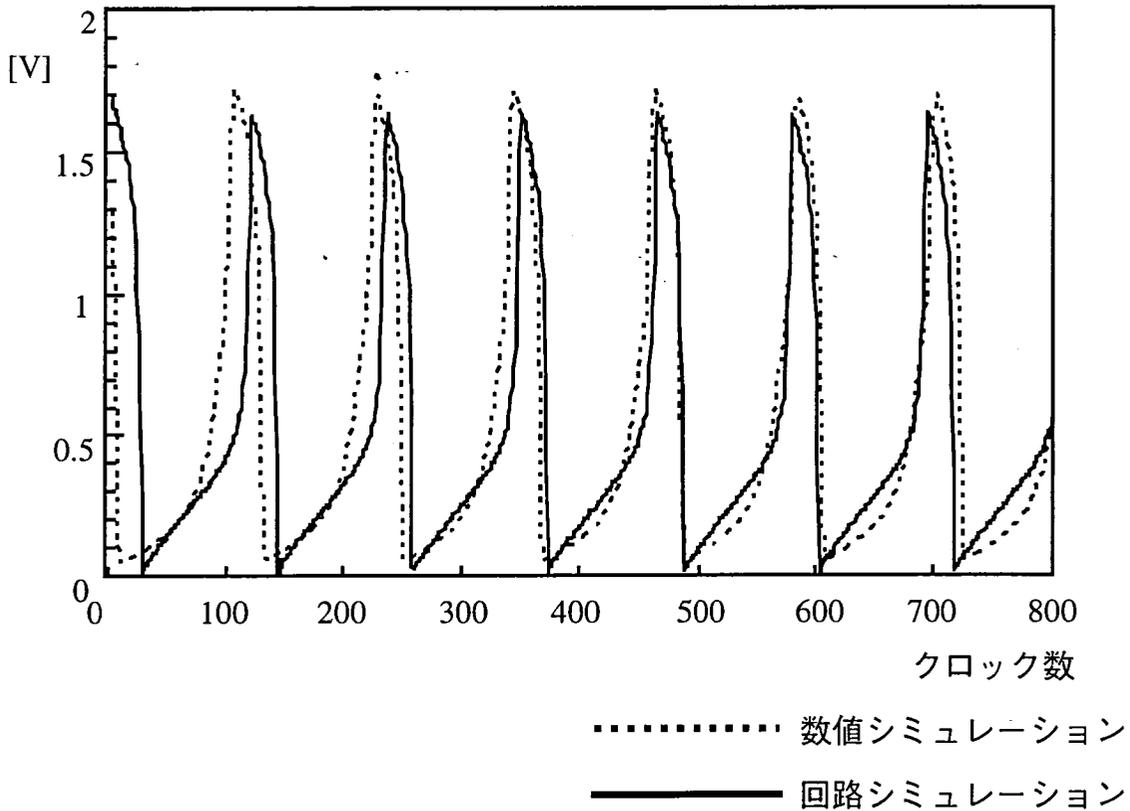


図 6.1: 0.6 μm パラメータによる振動子回路のシミュレーション結果

から与えられることとした。このデータを一時的に保存しておくため、入力データ IP_i を SCS を用いて容量 C_{xi} に蓄える。容量 C_{xi} に蓄えられた電圧を比較器 $comp_{i1}$ を用いて T_i の幅を持つ PWM 信号に再生し、隣接画素のデータとの絶対値差分を XOR ゲートを用いて行う。その結果、XOR ゲートの出力パルスの幅 T_{ik} は $T_{ik} = |T_i - T_k|$ となる。このパルスを SCS を用いて電圧 V_a に線形変換し、比較器 $comp_{i2}$ に入力する。ここで、比較器 $comp_{i2}$ の参照電圧 V_{refb} を時間の関数 $f(t) = 1/t - 1$ とする。この結果、4.1.3 節で述べたように比較器 $comp_{i2}$ の出力パルスの幅 W_{ik} は $W_{ik} = f_i^{-1}(V_a) = 1/(1 + |T_i - T_k|)$ となる。したがって、容量 C_1 には W_{ik} に相当する電荷が蓄えられることになる。この処理を 8 隣接に対して同様に行い、対応する荷重係数をそれぞれ容量 C_1 から C_8 に蓄える。このように、図 6.2 に示された回路を用いれば式 (3.10) を回路上で求めることができる。

6.1.3 グローバル抑制ユニット回路

グローバル抑制ユニットの内部状態は式(3.7)で表される。3.1.2節で述べたように、変数 z は振動子が1つでもしきい値 θ_{xz} を越えると1に近付き、全ての振動子がしきい値以下の場合0に近づく。このような処理を行うためには比較器と1個の容量があれば良い。グローバル抑制ユニット回路を図6.3に示す。

容量 C_x の端子電圧は繰り返しステップの始めに $reset$ 信号を用いてGNDに固定する。比較器の参照電圧を $V_{ref} = \theta_{xz}$ とし、容量 C_{xi} の端子電圧 V_{xi} を比較器に入力する。このとき、比較器の出力は $H(V_{xi} - \theta_{xz})$ となる。各振動子のSCSは容量 C_z に並列に接続されており、 $H(V_{xi} - \theta_{xz}) = 1$ のとき、電圧 V_z は電源電圧に引き上げられる。したがって、振動子がひとつでも $H(V_{xi} - \theta_{xz}) = 1$ になれば z が“High”になる。全ての振動子が $H(V_{xi} - \theta_{xz}) = 0$ のときは容量 C_z に電荷が充電されないため、 z が“Low”になる。このように、グローバル抑制ユニットは比較器を用いて実現することができる。

6.1.4 結合入力演算回路

結合入力 S_i を求めるためには、式(3.4)に示すように、グローバル抑制ユニット z と荷重係数 W_{ik} 、しきい値関数 $H(x - \theta_x)$ を必要とする。荷重係数、グローバルユニットについては前節までで説明した回路を用いて計算できる。結合入力演算回路を図6.4に示す。

図6.4の回路動作を説明する。式(3.4)におけるしきい値関数 $H(x_k - \theta_x)$ を比較器 $comp_{i1}$ により実行し、生成された信号 k_1 をスイッチ sw_1 に入力する。このとき、スイッチにはNMOS m_1 が直列に接続されており、そのゲート入力には荷重係数 W_{i1} を記憶している容量 C_1 が接続されている。したがって、 k_1 がONしたとき容量 C_a からは W_{i1} に相当する電荷が引き抜かれることになる。 k_1 がOFFの場合は容量 C_a には電荷の充放電は起こらない。以上の動作を8隣接全てに対して行えば、式(3.4)の右辺第1項 $\sum_{k \in N_{(i)}} W_{ik} H(x_k - \theta_x)$ が実行できる。次に、グローバル抑制ユニットからの信号 z により、SCSを用いて式(3.4)の右辺第2項 $W_z H(z - \theta_{xz})$ に相当する電荷を容量 C_a に蓄える。その結果、電圧 V_a は $-\sum_{k \in N_{(i)}} W_{ik} H(x_k - \theta_x) + W_z H(z - \theta_{xz})$ に相当する電圧となる。あらかじめ容量 C_a の端子電圧 V_a を電圧 V_{bias} に固定しておけば、電圧 V_a を比較器 $comp_{i2}$ を用いて参照電圧 V_{bias} と比較して、出力 S_i は $H(\sum_{k \in N_{(i)}} W_{ik} H(x_k - \theta_x) - W_z H(z - \theta_{xz}))$ となり、式(3.4)及び式(3.8)における

$H_2(S_i)$ が実行できたことになる。 $H_2(S_i)$ は図 5.3 に示すように、2 個の SCS を用いて実現する。このように、図 6.4 に示した回路を用いれば結合入力が計算できる。また、式 (3.11) における CP_i はこの回路を用いて実現できる。強制的に信号 k_1 から k_8 を “High” 状態にすれば、容量 C_a には $\sum_{k \in N(i)} W_{ik}$ に相当する電荷が引き抜かれる。これを比較器 $comp_{i1}$ を用いて参照電圧 $V_{bias} = \theta_p$ と比較すれば、出力 S_i の前段には $H(\sum_{k \in N(i)} W_{ik} - \theta_p)$ が出力される。このように、同じ回路を用いて CP_i を求めることができる。

6.1.5 振動子ネットワーク回路

以上の回路を用いて振動子ネットワーク 1 セルに対応する回路を設計し、それをアレイ配置することで振動子ネットワーク全体の回路設計を行った。この回路において、画像データは PWM 信号により行方向に並列に入力される。振動子ネットワークは時間とともにネットワークの状態が遷移するため、これを常に実時間で出力して結果をみるのは困難である。そこで、ある時刻におけるネットワークの状態を回路内で保持し、それを出力データとして取り出す方式をとった。

実際に取り出される出力データは、振動子の活動度 $\phi(x_i) = H(x_i - \theta_{xx})$ (回路内に保持)、図 5.3 中に示してある 1 つのセルにおける振動子の PWM 信号、また容量 C_{xi} , C_{yi} の端子電圧にバッファを通した結果である。振動子の活動度は図 6.5 に示すように、DFF を用いて行方向に並列、列方向に直列に出力される。設計仕様、1 セルの回路図及び制御回路図、1 セルレイアウト図と全体のレイアウト図をそれぞれ図 6.6, 6.7, 6.8, 6.9, 6.10 に示す。

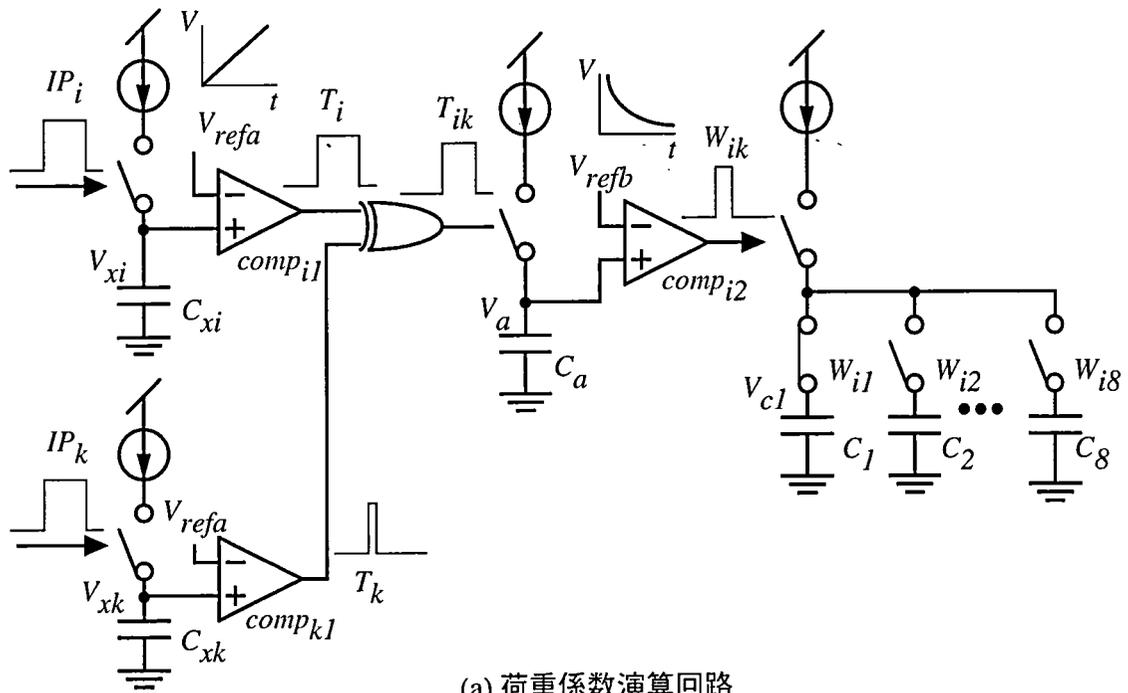
このチップの測定結果を図 6.11 に示す。振動状態が観測されており、約 $100\mu\text{s}$ の間隔で領域分割が可能であることを示している。

6.2 抵抗ヒューズネットワークおよびガボール型ウェーブレット変換用セルラーニューラルネットワークのための PWM ピクセル回路の設計

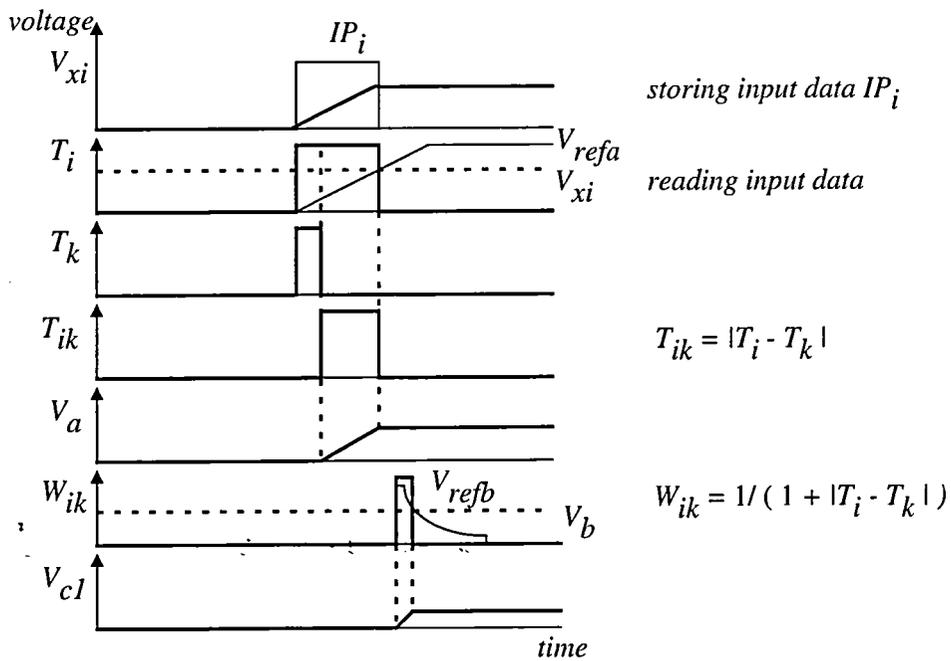
5.3 節で述べた PWM ピクセル回路を用いて 1 次元ネットワークを設計した。用いたデバイスパラメータは VDEC より提供されるロームの $0.6\mu\text{m}$ CMOS プロセスのものである。セル数は 2×20 である。ガボール型フィルタでは 1 ピクセルに 2 セル必

要なので、これで、抵抗ヒューズネットワークとガボール型フィルタそれぞれ 20セルの 1次元ネットワークを構成できる。ピクセル回路のレイアウト図とチップ全体レイアウト図を 6.12 および 6.13 に示す。

設計した回路の回路シミュレーション (HSPICE) 結果を示す。まず、抵抗ヒューズネットワークを構成した場合の結果を図 6.14 に示す。適当なパラメータを設定することでエッジを保存しながら細かいノイズを除去できているのがわかる。演算時間は約 $250\mu\text{s}$ であった。次に、1次元ガボール型フィルタ (10セル分) を構成した場合の結果を図 6.15 に示す。約 40 回 ($160\mu\text{s}$) の更新で収束し、ほぼ数値計算通り (精度 8.8 ビット相当) のインパルス応答が得られた。これは周期 ($= 2\pi/\omega_0$) が 4 ピクセルの結果であるが、収束に要する時間は周期に依存し、長周期の場合ほど処理時間は長くなる。



(a) 荷重係数演算回路



(b) タイミングチャート図

図 6.2: 荷重係数演算回路

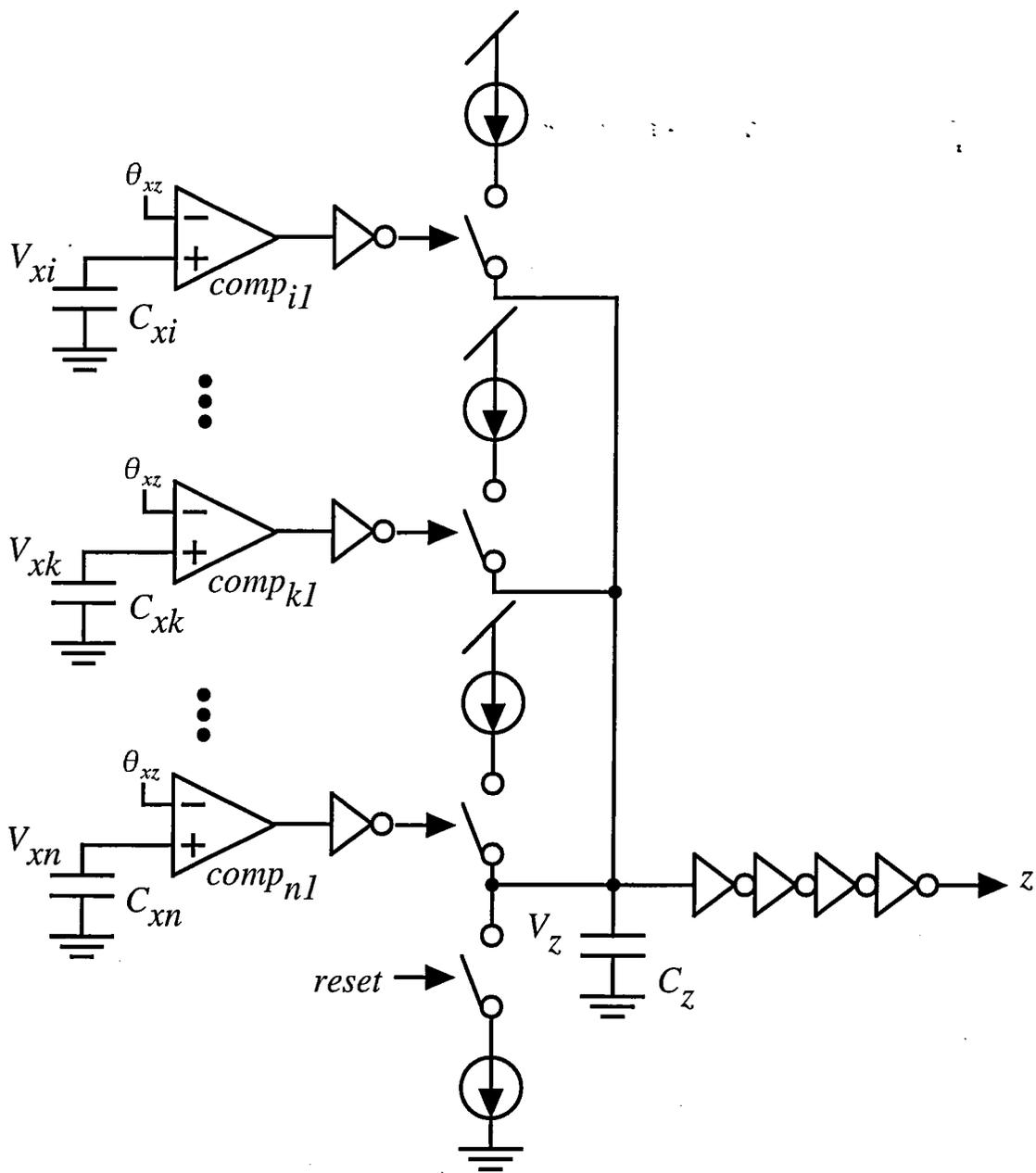
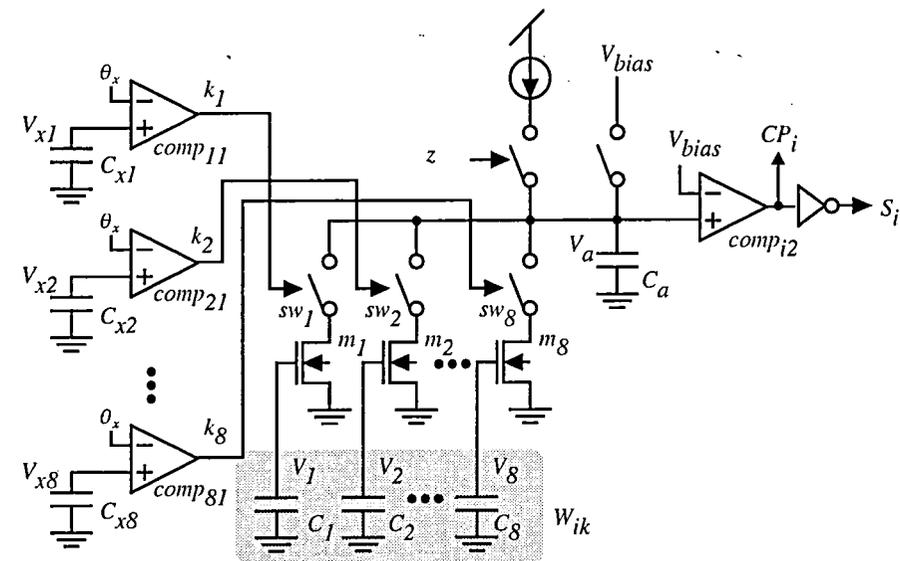
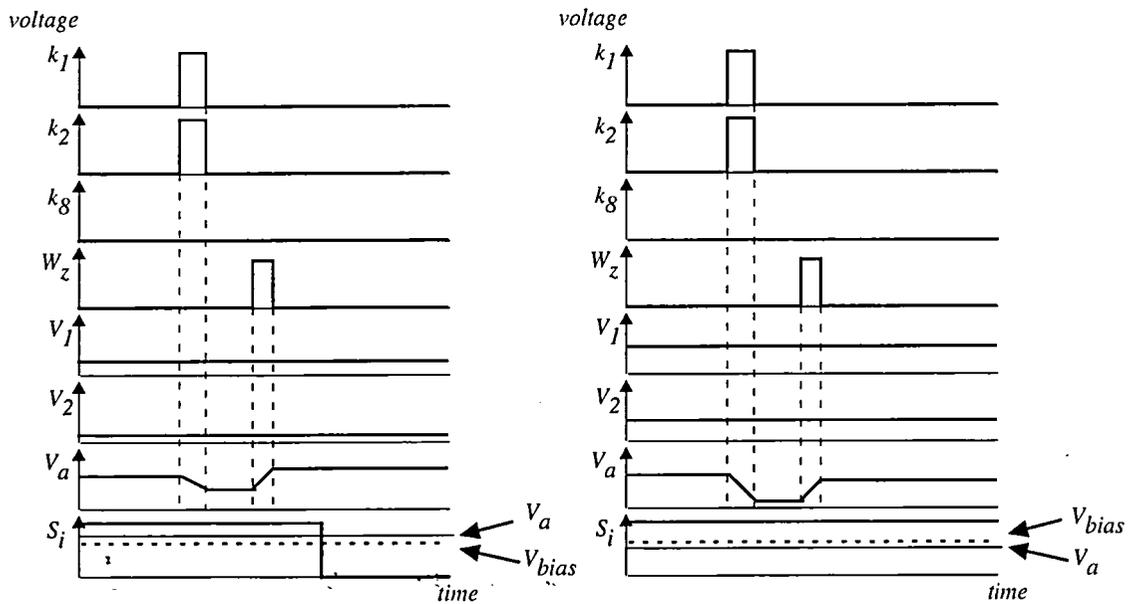


図 6.3: グローバル抑制ユニット回路



(a) 結合入力演算回路



(b) タイミングチャート図

図 6.4: 結合入力演算回路

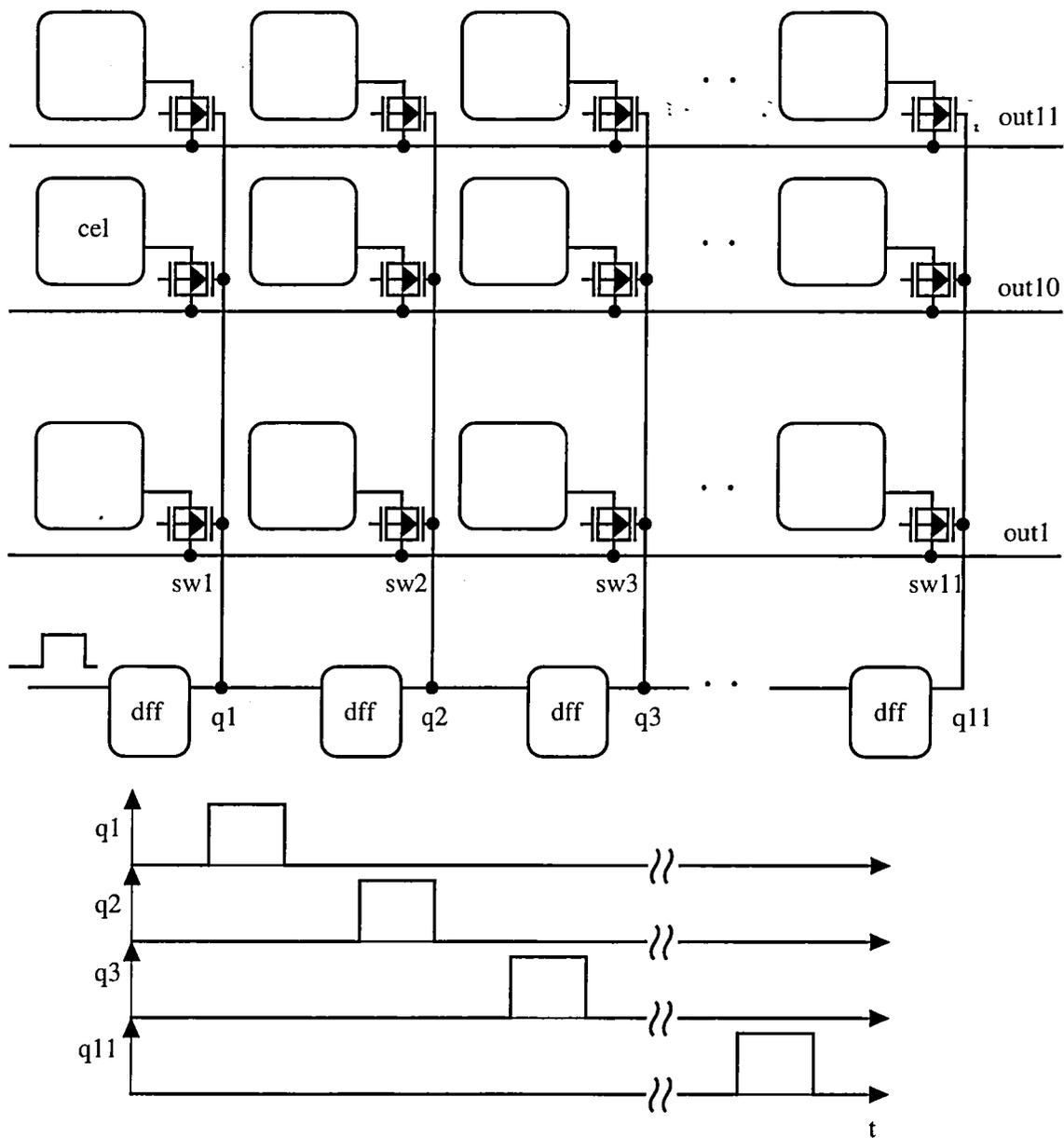


図 6.5: 活動度の出力方法

チップ面積	4.5mm × 4.5mm
電源電圧	5V
処理可能画素数	11 × 11
総トランジスタ数	53kTr
使用ピン数	113
画像入力データ	PWM信号

(a) チップ仕様

1セル当たりの回路面積	215.4 μ m × 235.275 μ m
トランジスタ数	324Tr
容量	0.15pF × 12, 0.2pF × 2

(b) 振動子回路

図 6.6: 振動子ネットワーク設計仕様

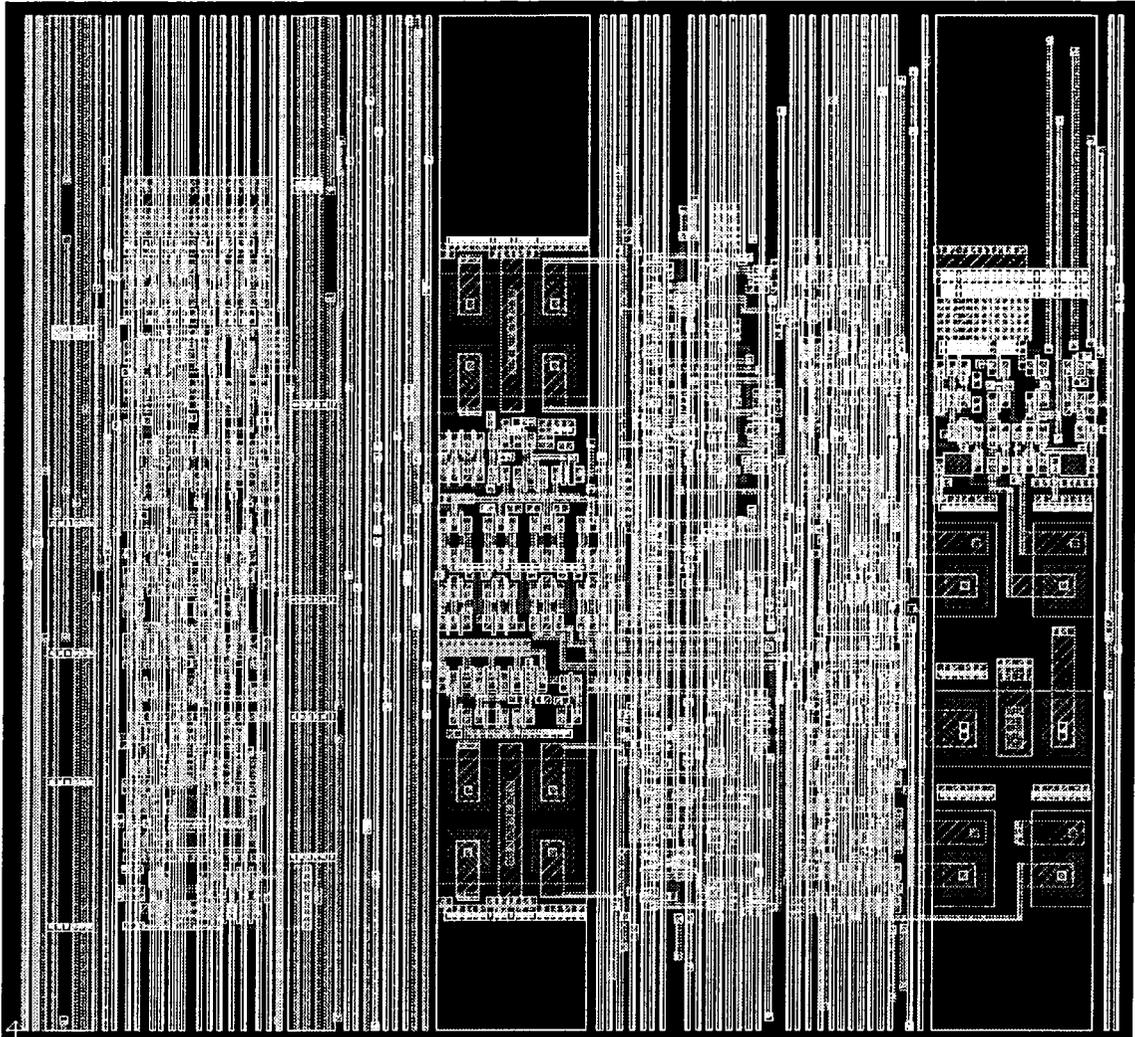


図 6.9: セルレイアウト図

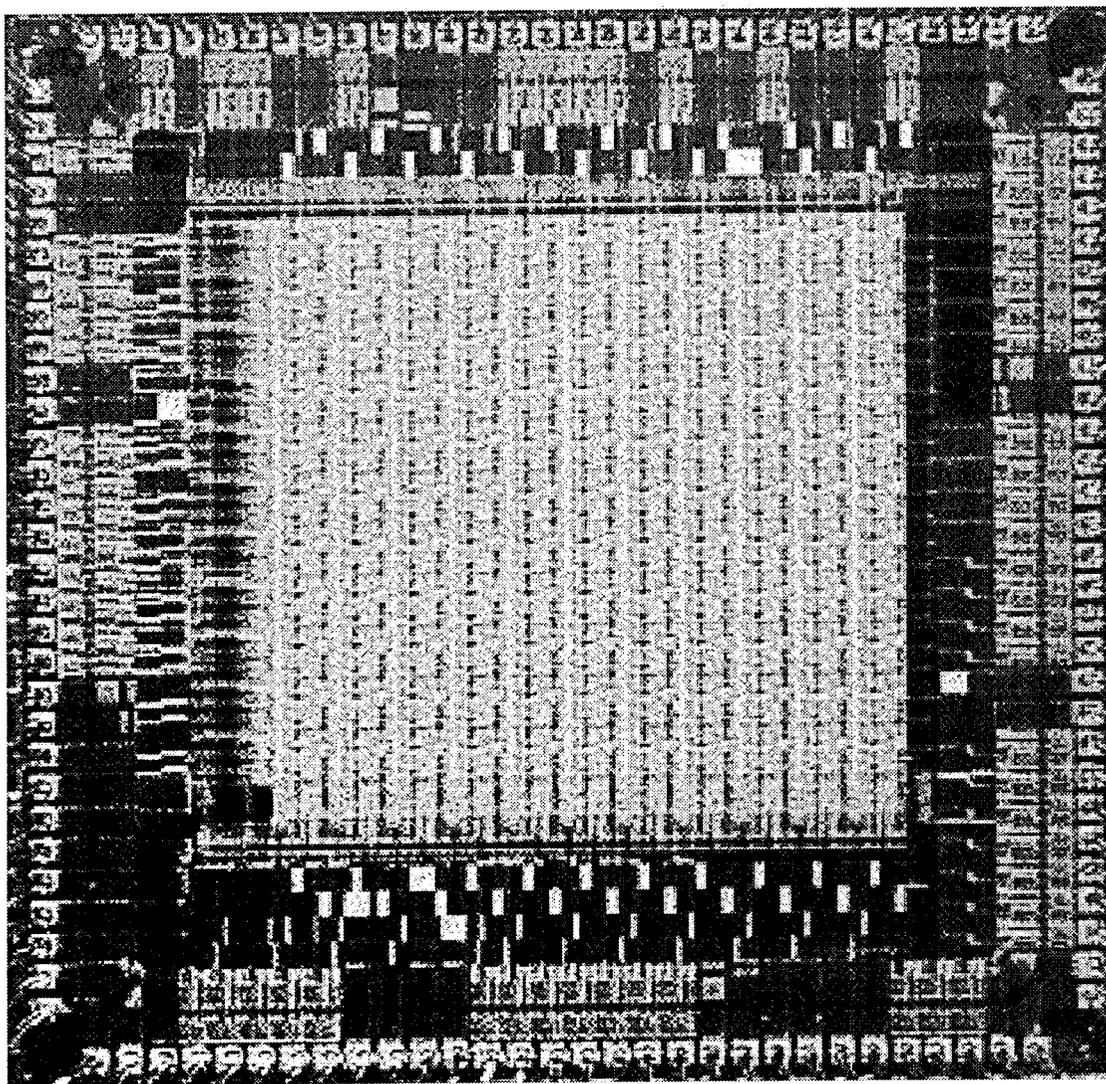


図 6.10: 振動子ネットワークチップ写真(0.6 μ m CMOS, チップサイズ:4.5mm 角)

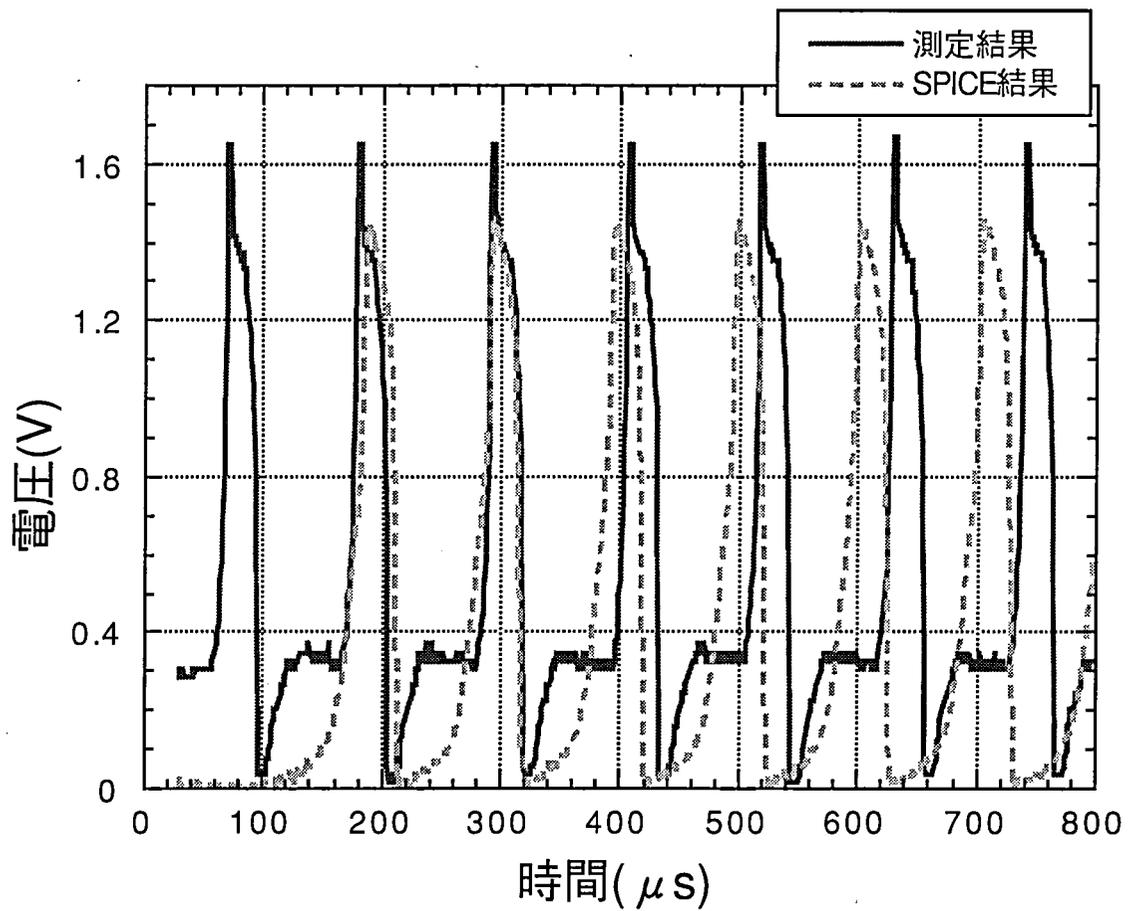


図 6.11: 振動子ネットワーク測定結果

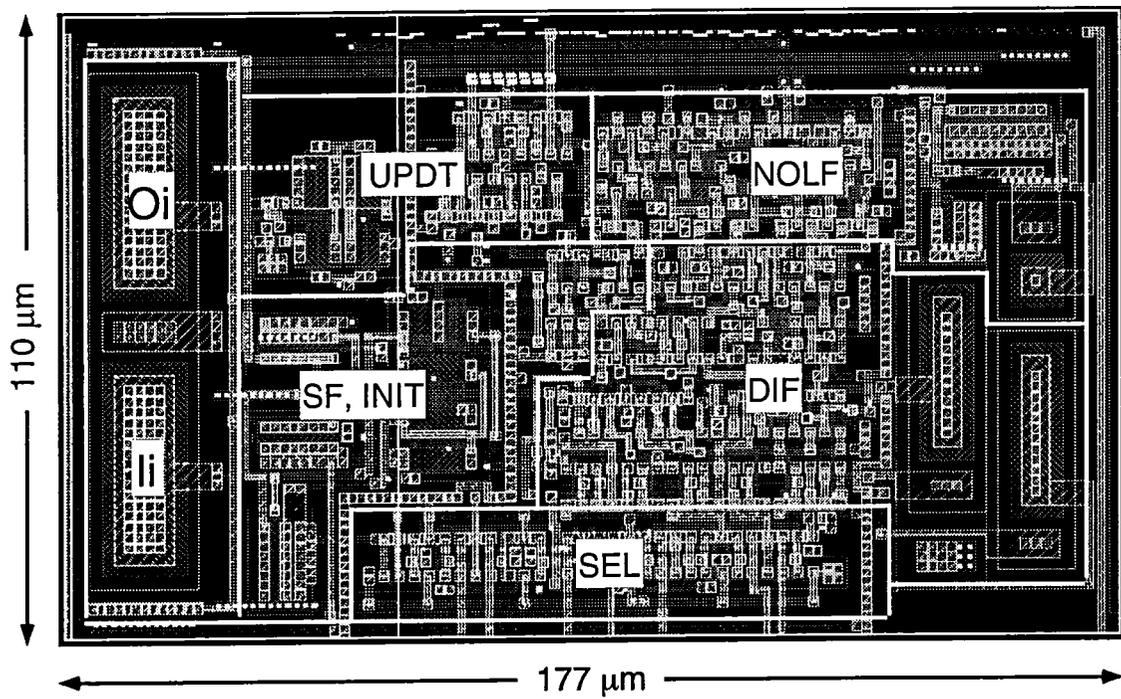


図 6.12: PWM ピクセル回路のセルレイアウト図

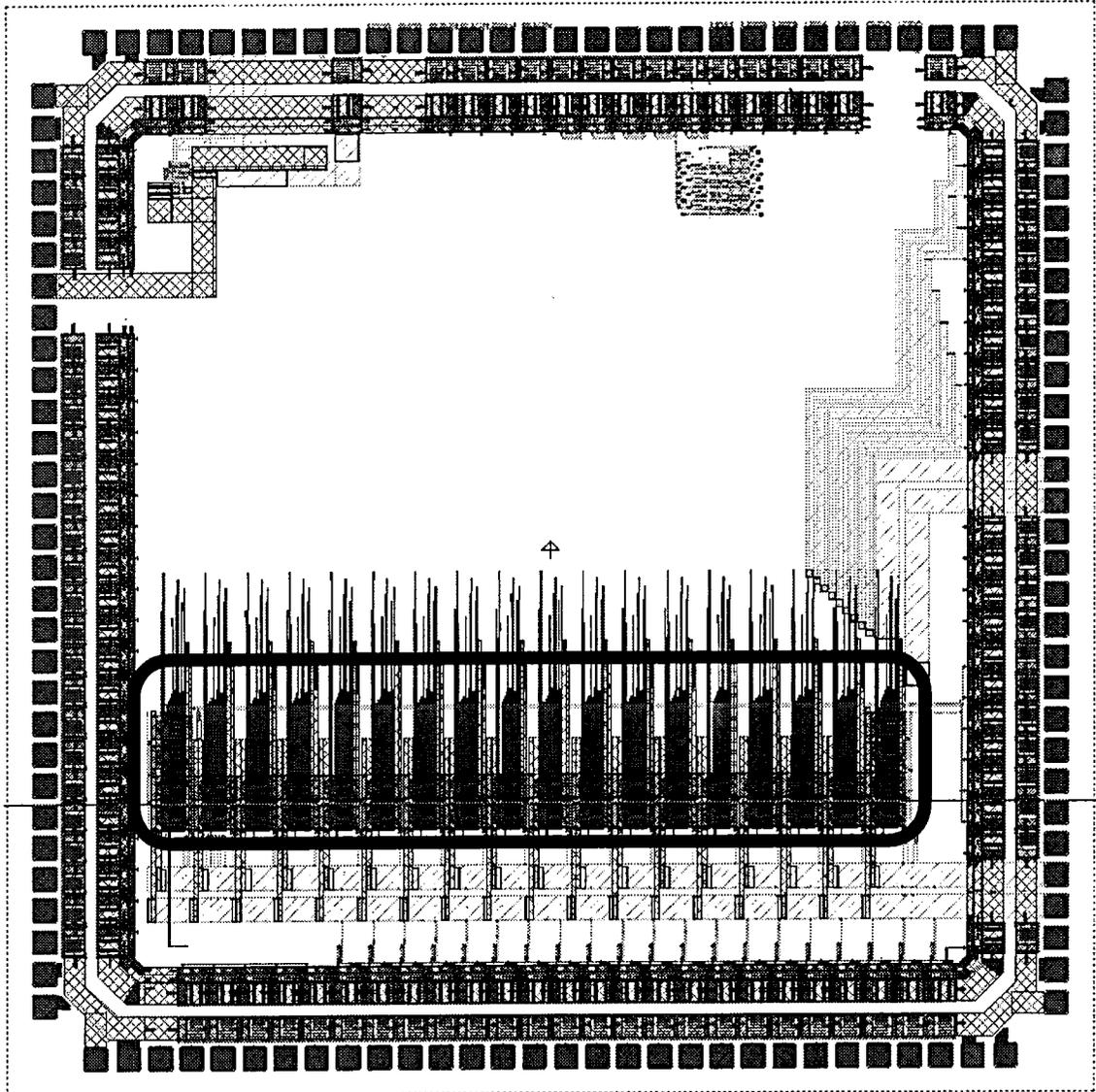


図 6.13: PWM ピクセル回路のチップレイアウト図 (0.6 μ mCMOS, チップサイズ:4.6mm 角)

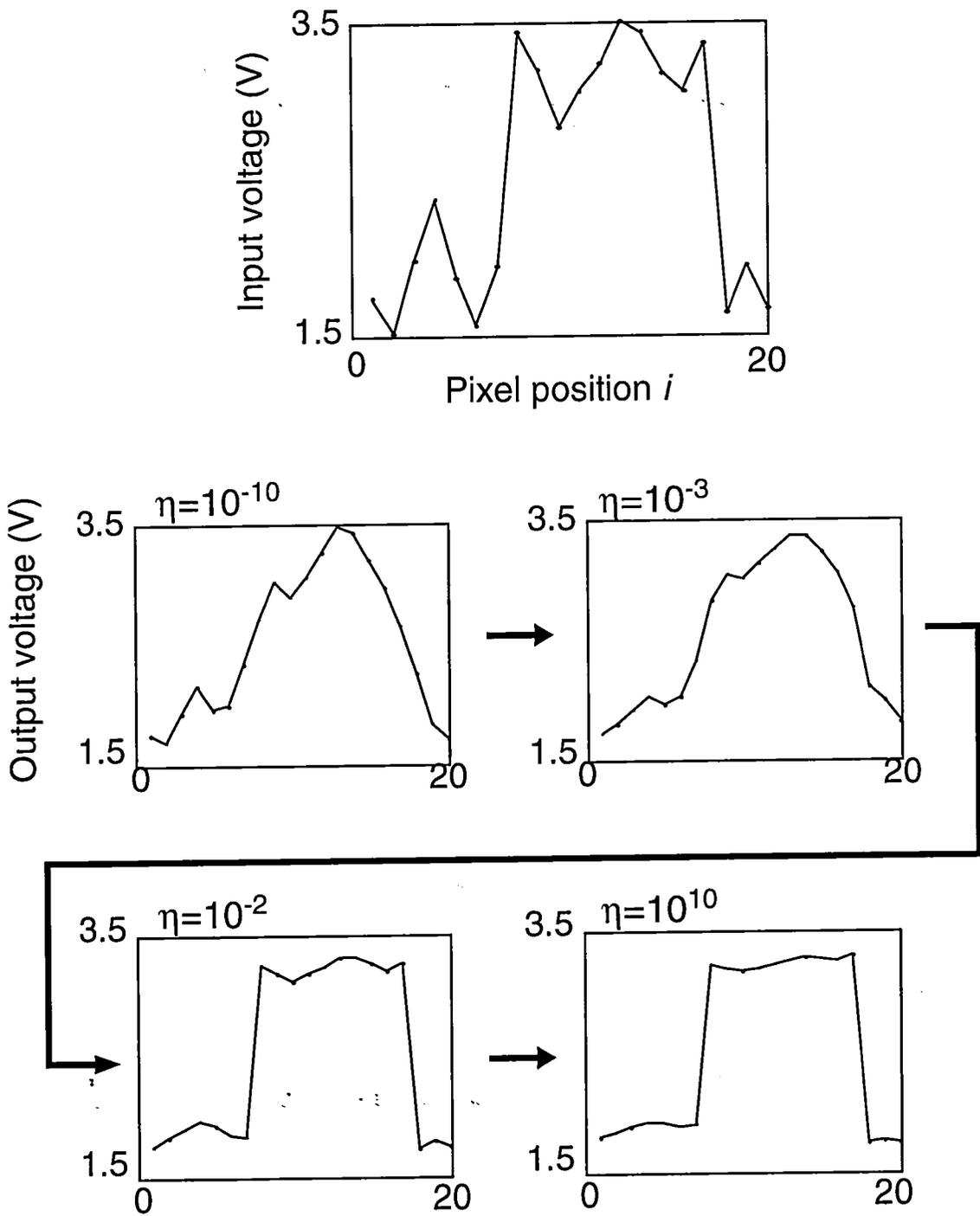


図 6.14: 抵抗ヒューズネットワークの HSPICE シミュレーション結果

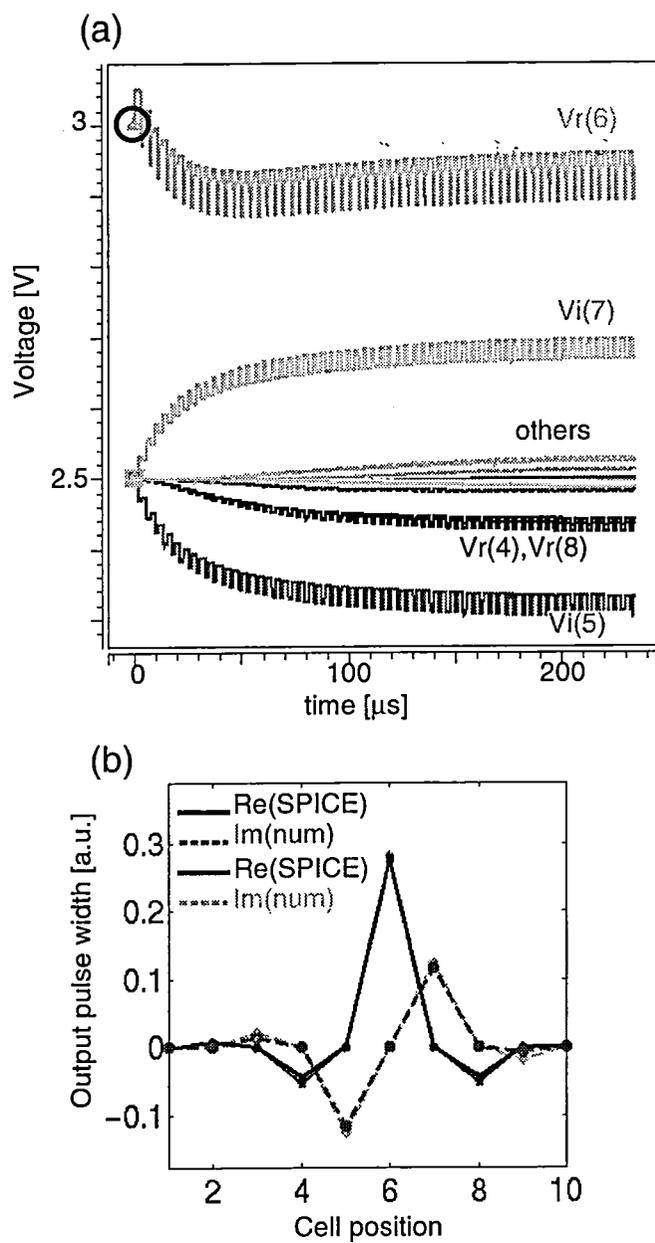


図 6.15: 1次元ガボール型フィルタのHSPICEシミュレーション結果(インパルス応答: 6番目のセルにのみ初期値を入力)。出力の時間変化(a)と収束結果(b)

第7章 顔認識のアルゴリズム

7.1 ダイナミックリンクアーキテクチャ(DLA)による顔認識

DLAは柔軟なグラフマッチング手法の一種である。特徴抽出処理により特徴量を得て評価関数を算出し、その値の大小によりモデル画像との一致度を評価する。

DLA マッチングを用いた顔認識処理の流れを図7.1に示す。最初に、データベースに変換されたモデル顔画像を用意しておく。次に、入力された顔画像に対してガボール型フィルタ回路によりウェーブレット変換を行う。モデル顔と入力顔の変換結果を基にDLA マッチングにより評価値を算出する。各モデルについて評価値（コスト）の最小のものをWTA (Winner-Take-All) 処理により求める。

図7.2にDLAの流れと顔グラフの変化を示す。まず、顔画像に適当な格子を配置し、データベースにはモデル画像の格子点上での特徴量のセットを記憶しておく。なお、以後格子付きの顔画像を顔グラフと呼ぶ。入力画像にもモデルグラフと同様に格子を配置する。DLAのオリジナルな論文[3]では、まず入力顔全体を覆うように格子全体を動かすプロセス(First stage)が必要であるが、我々のシステムでは抵抗ヒューズネットワークにより顔領域を抽出するので、格子が顔全体を覆うように自動的に設定できる。

次に、モデルグラフと入力グラフのマッチングを行う。マッチングは個々の格子点を動かして、特徴量の一致度を測ることにより実行される。評価（コスト）関数は2つの項から構成される。1項目は入力画像とモデル画像双方のウェーブレット変換結果である特徴ベクトルの一致度を表す。2項目は格子点間の空間的配置の歪度を表す。格子点が歪むほど2項目は増加する。入力画像に対して各顔モデルとのマッチングを行い、最もコストが低かったモデルが認識結果として選択される。

以下、さらに詳細に説明する [3]。

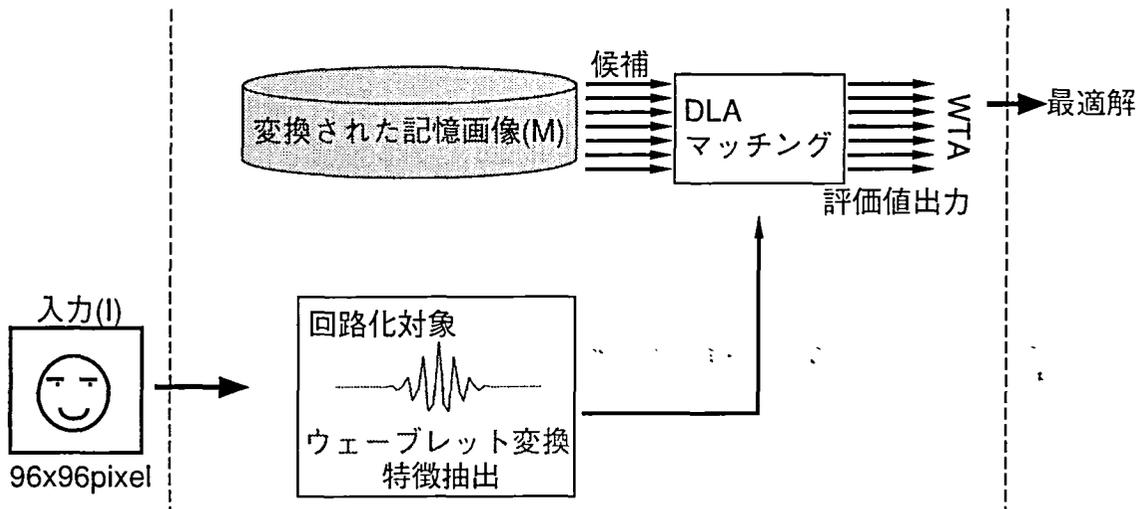


図 7.1: 顔認識システム

特徴ベクトル – Vertex Label

図 7.3 に簡単な顔グラフを示す。それぞれのグラフの格子点は、周波数や方向の異なるウェーブレット変換係数をもつ。画像に含まれる局所的特徴を抽出するため、5 周波数と 8 方向成分を持ったマザーウェーブレット W で画像を変換する。周波数成分、方向成分をそれぞれ $\nu \in \{0, \dots, 4\}$, $\mu \in \{0, \dots, 7\}$ として

$$\vec{k}_{\nu\mu} = k_{\nu} e^{i\phi_{\mu}}, \quad \vec{k}_{\nu} = \vec{k}_{max} / f^{\nu}, \quad \phi_{\mu} = \frac{\pi\mu}{8} \quad (7.1)$$

ここで f は 5 個の周波数を割り付ける間隔であり、今回 $f = \sqrt{2}$ とおいた。

ウェーブレット変換係数 $(WI)(\vec{k}_{\nu\mu}, \vec{x}_0)$ の大きさは \vec{x}_0 における特徴を表し、これを “jet” と呼び次のように表す。

$$\mathcal{J}_{\nu\mu}(\vec{x}_0) := |(WI)(\vec{k}_{\nu\mu}, \vec{x}_0)| \quad (7.2)$$

マッチングを行うとき必要な入力とモデル双方のグラフ格子点の特徴ベクトル (Vertex Label) $\mathcal{J}^I, \mathcal{J}^M$ の一致度 $\mathcal{S}_v(\mathcal{J}^I, \mathcal{J}^M)$ は以下のとおりである。

$$\mathcal{S}_v(\mathcal{J}^I, \mathcal{J}^M) := \frac{\mathcal{J}^I \cdot \mathcal{J}^M}{\|\mathcal{J}^I\| \|\mathcal{J}^M\|} \quad (7.3)$$

なお、変換を 5 周波数 4 方向成分に減らしても認識可能であることを確認している。

格子点間距離 – Edge Label

格子点の間には距離情報 Edge Label がある。これはモデルと入力グラフのそれぞれにおいて隣接する格子点の位相情報を保つものである。つまり、人間の顔におい

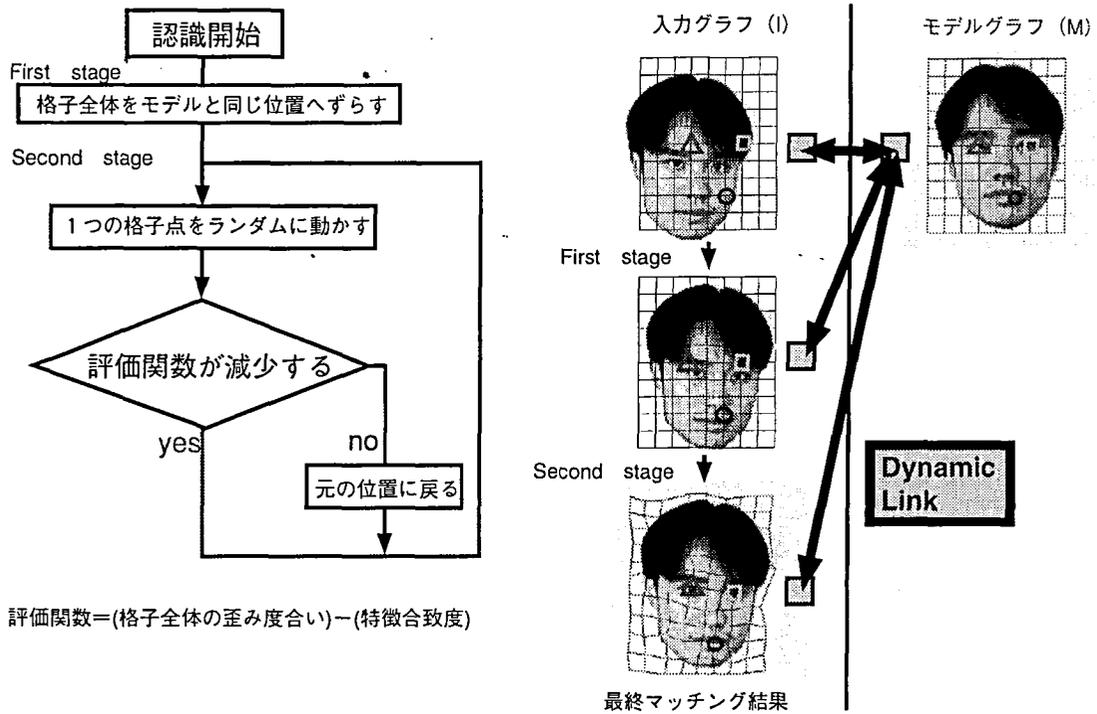


図 7.2: DLA の流れと顔グラフの変化

てその造作の位置が入れ替わることはないという前提に基づく束縛条件である。格子点 \vec{x}_i と \vec{x}_j の距離は、

$$\vec{\Delta}_{ij} := \vec{x}_j - \vec{x}_i, \quad (i, j) \in E \quad (7.4)$$

のようなユークリッド距離 (Euclidean distance) で与えられる。ここで E はモデルと入力各グラフの格子点の集合である。ユークリッド距離では x - y 座標上の点 $A(0,0), B(1,1)$ 間距離 AB は $\sqrt{2}$ となる。ちなみに、4 隣接距離や 8 隣接距離ではそれぞれ $AB=2, AB=1$ と数える。

モデル、入力双方において対応する Edge Label を比較する。その評価値 $S_e(\vec{\Delta}_{ij}^I, \vec{\Delta}_{ij}^M)$ は次のように得られる。

$$S_e(\vec{\Delta}_{ij}^I, \vec{\Delta}_{ij}^M) := (\vec{\Delta}_{ij}^I - \vec{\Delta}_{ij}^M)^2 \quad (7.5)$$

評価関数 C_{total}

グラフマッチングでは、Vertex Label と Edge Label の双方を同時に最適化する x_i^I (I は入力画像) の組を探す。よって評価関数 $C_{total}(x_i^I)$ はその値を小さくするように

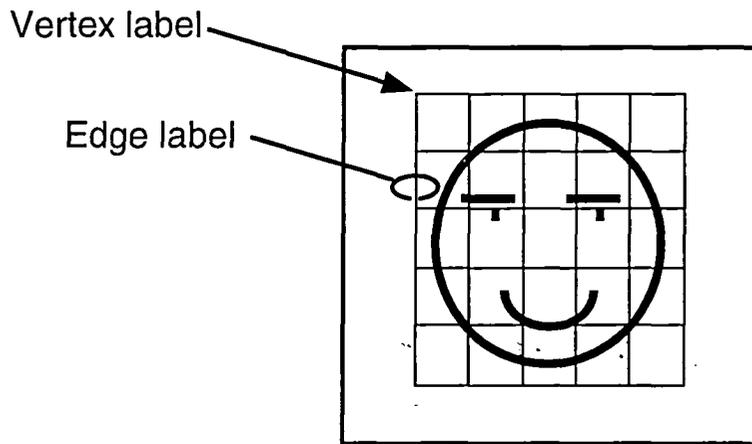


図 7.3: 顔グラフ

最適化される。

$$C_{total}(x_i^I) := \lambda C_e + C_v \quad (7.6)$$

$$= \lambda \sum_{(i,j) \in E} S_e(\vec{\Delta}_{ij}^I, \vec{\Delta}_{ij}^M) - \sum_{i \in V} S_v(\mathcal{J}^I, \mathcal{J}^M) \quad (7.7)$$

ここで V は格子点の集合を示す。第1項はグラフの歪みを表し、第2項は係数の一致度を表す。係数 λ はグラフを歪める際の格子点の動きにくさを表している。

7.2 顔認識のシミュレーション

式(3.22)で計算されるガボール型ウェーブレット変換により得られた特徴量を用いてDLAマッチングによる顔認識を行った結果の一例を図7.4に示す。顔のわずかな向きの違いにもかかわらず、正しく顔認識が行われていることがわかる。これは、ピクセル回路により得られる特徴量でも顔認識が可能であることを示している。

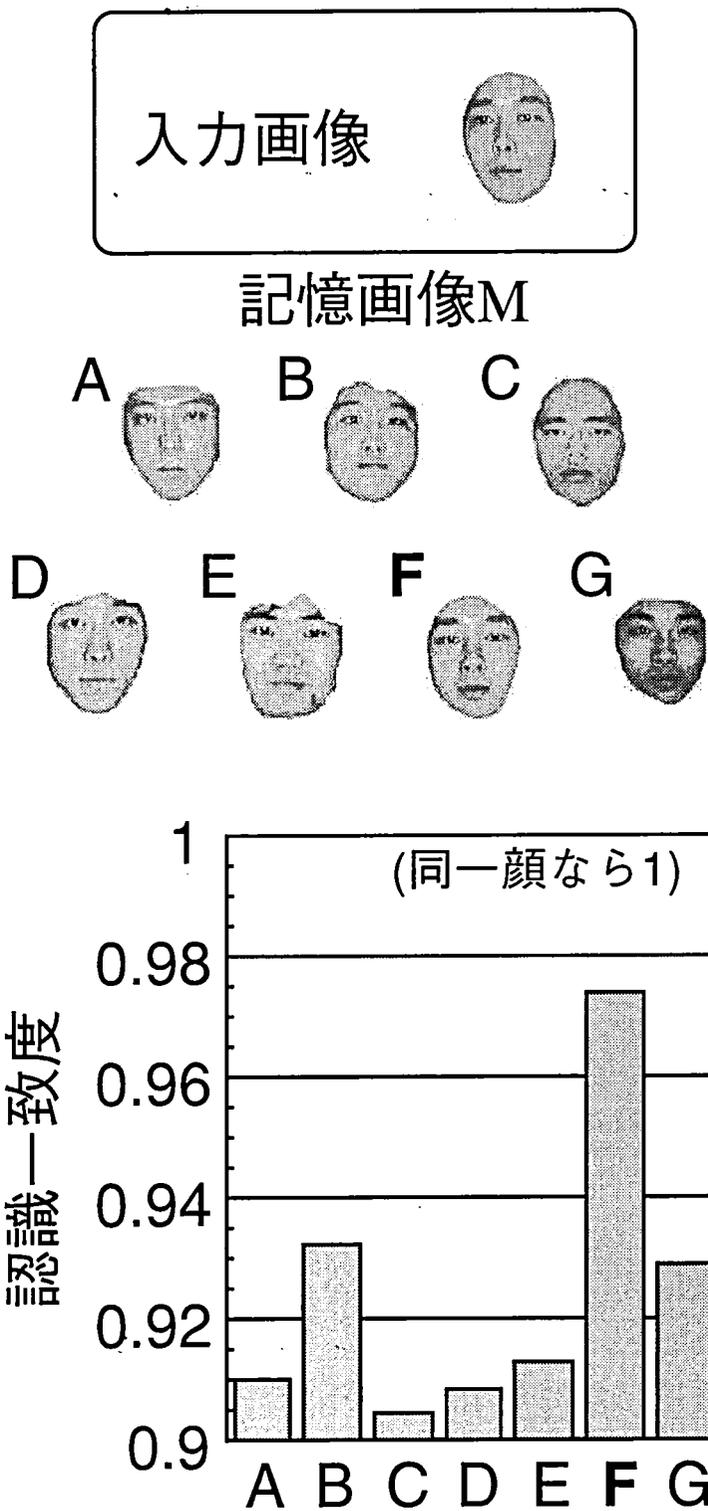


図 7.4: パルス変調方式ピクセル回路によるウェーブレット変換結果を用いた顔認識のシミュレーション結果

第8章 まとめと今後の展開

1. オリジナルな LEGION モデルでは実現されていなかった、非線形ダイナミクスによる多階調画像の画像分割処理モデルを提案した。これをハードウェアで実行するために必要となる演算精度を数値シミュレーションにより見積もり、5ビット程度であることを確認した。これは我々のパルス変調方式の回路で十分実現可能な値である。また、振動子ネットワークによる画像分割・抽出のタイミングを決定するために、2重しきい値法を提案した。これにより、完全な領域抽出のタイミングを知ることができる。
2. 抵抗ヒューズネットワークモデルにより、画像の大局的領域分割を行う方法を提案し、振動子ネットワークと組み合わせることで自然画像の認識対象領域の分割・抽出が行えることを示した。
3. 離散時間非線形ダイナミクスを実行する回路をパルス変調方式を用いて提案した。これを非線形振動子回路に適用し、非線形振動子ネットワークの回路アーキテクチャを提案した。また、抵抗ヒューズネットワークをこの振動子ネットワーク回路にほとんど追加回路なしに組み込んだ。
4. パルス変調方式により離散時間非線形ダイナミクスを実行するピクセル回路を提案した。この回路で抵抗ヒューズネットワークとガボール型ウェーブレット変換用セルラーニューラルネットワークを実行できることを示した。
5. 提案した振動子ネットワーク回路を $0.6\mu\text{m}$ CMOS プロセスを用いて設計・試作した。測定の結果、振動子の振動状態を観測し、約 $100\mu\text{s}$ の間隔で領域分割が可能であることを示した。
6. 提案したピクセル回路を用いて1次元セルラーニューラルネットワーク回路を $0.6\mu\text{m}$ CMOS プロセスにより設計した。回路シミュレーションにより、抵抗ヒューズネットワーク動作を約 $250\mu\text{s}$ で、ガボール型ウェーブレット変換を数 $100\mu\text{s}$ 程度で実行可能なことを確認した。
7. パルス変調方式ピクセル回路により得られるガボール型ウェーブレット変換結果を用いて、ダイナミックリンクアーキテクチャ(DLA)でのマッチング処理に

より、柔軟な顔認識を行えることを数値シミュレーションで示した。

今後、実画像処理が可能な規模の振動子ネットワーク LSI を設計・試作し、画像分割処理ハードウェアとして実用化を目指す。また、実画像処理が可能な規模の抵抗ヒューズネットワークおよびガボールウェーブレット変換用セルラーニューラルネットワークを実現する LSI チップを設計・試作し、顔認識システムへの適用を目指す。後者については平成 12 年度より開始された科研費特定領域「知的瞬時処理複合化集積システム」の一テーマとして研究を継続し、発展させる予定である。

関連図書

- [1] D. L. Wang and D. Terman, "Locally excitatory globally inhibitory oscillator networks," *IEEE Trans. Neural Networks*, vol. 6, no. 1, pp. 283–286, 1995.
- [2] D. L. Wang and D. Terman, "Image segmentation based on oscillatory correlation," *Neural Computation*, vol. 9, no. 4, pp. 805–836, 1997.
- [3] M. Lades, J. C. Vorbrüggen, J. Buhmann, J. Lange, C. v.d. Malsburg, R. P. Würtz, and W. Konen, "Distortion invariant object recognition in the dynamic link architecture," *IEEE Trans. Comput.*, vol. 42, no. 3, pp. 300–311, 1993.
- [4] A. Iwata and M. Nagata, "A concept of analog-digital merged circuit architecture for future VLSI's," *IEICE Trans. Fundamentals.*, vol. E79-A, no. 2, pp. 145–157, 1996.
- [5] T. Morie, S. Sakabayashi, M. Nagata, and A. Iwata, "Nonlinear function generators and chaotic signal generators using a pulse-width modulation method," *Electron. Lett.*, vol. 33, no. 16, pp. 1351–1352, 1997.
- [6] T. Morie, S. Sakabayashi, H. Ando, M. Nagata, and A. Iwata, "Pulse modulation circuit techniques for nonlinear dynamical systems," *Proc. Int. Symp. on Nonlinear Theory and its Application (NOLTA'98)*, pp. 447–450, Crans-Montana, Sept. 1998.
- [7] T. Morie, H. Ando, S. Sakabayashi, M. Nagata, and A. Iwata, "A new PWM technique implementing arbitrary nonlinear dynamics and its application to oscillator neurons," *The 2nd R. I. E. C. Int. Symposium on Design and Architecture of Information Processing Systems Based on The Brain Information Principles (DAIPS)*, pp. 275–278, Sendai, March 1998.
- [8] J. Harris, C. Koch, and J. Luo, "Resistive fuses: Analog hardware for detecting discontinuities in early vision," in C. Mead and M. Ismail, editors, *Analog VLSI*

- Implementation of Neural Systems, pp. 27–55. Kluwer Academic Publishers, 1989.
- [9] B. E. Shi, “Gabor-type filtering in space and time with cellular neural networks,” *IEEE Trans. Circuits & Syst. I*, vol. 45, pp. 121–132, 1998.
- [10] B. E. Shi, “2D focal plane steerable and scalable cortical filters,” *Proc. Int. Conf. on Microelectronics for Neural, Fuzzy and Bio-inspired Systems (MicroNeuro)*, pp. 232–239, 1999.
- [11] H. Ando, M. Miyake, T. Morie, M. Nagata, and A. Iwata, “A nonlinear oscillator network for gray-level image segmentation and PWM/PPM circuits for its VLSI implementation,” *IEICE Trans. Fundamentals.*, vol. E83-A, no. 2, pp. 329–336, 2000.